

Latch-up free power MOS-bipolar transistor

Patent number: JP2002514355T

Publication date: 2002-05-14

Inventor:

Applicant:

Classification:

- international: H01L29/24; H01L29/73; H01L29/02; H01L29/66; (IPC1-7): H01L29/78; H01L21/331; H01L29/73

- european: H01L29/24D; H01L29/73; H01L29/73B

Application number: JP19990503147T 19980610

Priority number(s): US19970049423P 19970612; US19970891221 19970710; US19980082554 19980521; WO1998US12007 19980610

Also published as:



WO9857378 (A)
WO9857378 (A)
EP0990268 (A1)
EP0990268 (A1)
US6121633 (A1)

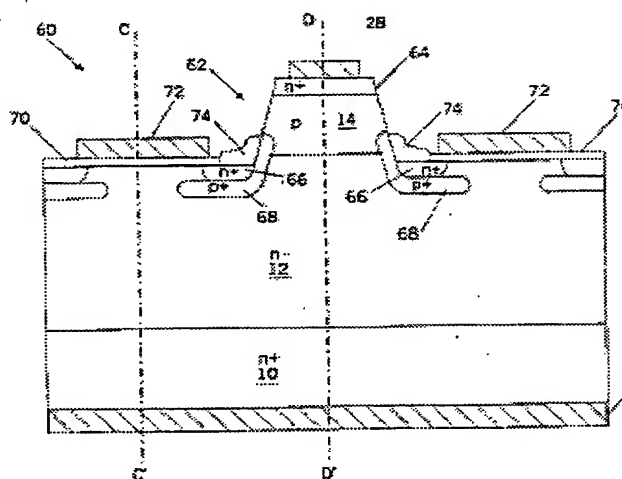
more >>

Report a data error h

Abstract not available for JP2002514355T

Abstract of corresponding document: US6121633

A MOS bipolar transistor is provided which includes a silicon carbide npn bipolar transistor formed on a bulk single crystal n-type silicon carbide substrate and having an n-type drift layer a p-type base layer. Preferably the base layer is formed by epitaxial growth and formed as a mesa. A silicon carbide nMOSFET is formed adjacent the npn bipolar transistor such that a voltage applied to the gate of the nMOSFET causes the npn bipolar transistor to enter a conductive state. The nMOSFET has a source and a drain formed so as to provide base current to the npn bipolar transistor when the bipolar transistor is in a conductive state. Also included are means for converting electron current flowing between the source and the drain into hole current for injection into the p-type base layer. Means for reducing field crowding associated with an insulating layer of said nMOSFET may also be provided.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2002-514355

(P2002-514355A)

(43) 公表日 平成14年5月14日 (2002.5.14)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 29/78	6 5 2	H 0 1 L 29/78	6 5 2 T
21/331			6 5 3 A
29/73			6 5 4 Z
	6 5 3	29/72	
	6 5 4		

審査請求 未請求 予備審査請求 有 (全 66 頁)

(21) 出願番号 特願平11-503147
 (86) (22) 出願日 平成10年6月10日 (1998.6.10)
 (85) 翻訳文提出日 平成11年11月19日 (1999.11.19)
 (86) 国際出願番号 P C T / U S 9 8 / 1 2 0 0 7
 (87) 国際公開番号 W O 9 8 / 5 7 3 7 8
 (87) 国際公開日 平成10年12月17日 (1998.12.17)
 (31) 優先権主張番号 6 0 / 0 4 9 , 4 2 3
 (32) 優先日 平成9年6月12日 (1997.6.12)
 (33) 優先権主張国 米国 (U S)
 (31) 優先権主張番号 0 8 / 8 9 1 , 2 2 1
 (32) 優先日 平成9年7月10日 (1997.7.10)
 (33) 優先権主張国 米国 (U S)

(71) 出願人 クリー インコーポレイテッド
 アメリカ合衆国ノース・カロライナ州
 27703, ダーラム, シリコン・ドライブ
 4600
 (72) 発明者 シン, ランビアー
 アメリカ合衆国ノース・カロライナ州
 27513, キャリー, ローズダウン・ドライ
 ブ 100, アパートメント 2シー
 (72) 発明者 バルモアー, ジョン・ダブリュー
 アメリカ合衆国ノース・カロライナ州
 27606, ローリ, ハンターズ・ブラフ・ド
 ライブ 2920
 (74) 代理人 弁理士 社本 一夫 (外5名)

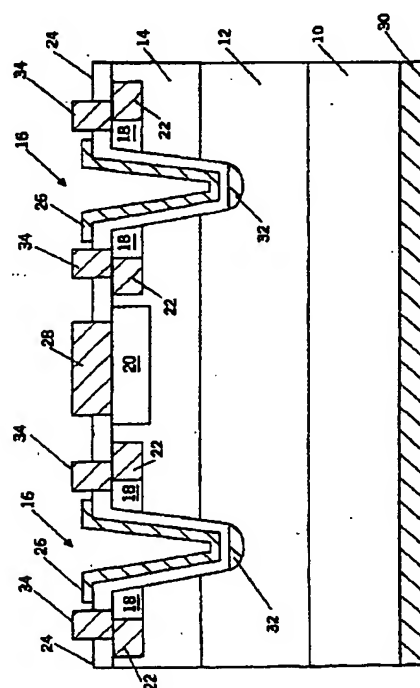
最終頁に続く

(54) 【発明の名称】 無ラッチアップ型パワーMOS-バイポーラートランジスタ

(57) 【要約】

炭化ケイ素 n p n バイポーラートランジスタ (バルク単結晶 n 型炭化ケイ素基板上に形成され、n 型ドリフト層および p 型ベース層をもつ) を含む MOS バイポーラートランジスタが提供される。好ましくは、ベース層はエピタキシャル生長により形成され、メサとして形成される。n p n バイポーラートランジスタに隣接して、炭化ケイ素 n MOS F E T が、この n MOS F E T のゲートに印加された電圧により n p n バイポーラートランジスタが導電状態に入るように形成される。n M O S F E T は、バイポーラートランジスタが導電状態にあるとき n p n バイポーラートランジスタにベース電流を与えるように形成されたソースおよびドレインをもつ。M O S F E T のソースとドレインの間を流れる電子電流を n p n トランジスタの p 型ベース層に注入するための正孔電流に変換する手段も含まれる。M O S F E T の絶縁層に伴う電界クラウディングを少なくするための手段も備えられる。

FIG. 3



【特許請求の範囲】

1. バルク単結晶 n 型炭化ケイ素基板上に形成され、n 型ドリフト層および p 型ベース層を有する、炭化ケイ素 n p n バイポーラートランジスター；

p 型ベース層内にある炭化ケイ素 n M O S F E T であって、間隔をおいた n 型ソース領域およびドレイン領域ならびにそれらの間のゲート領域を含み、かつバイポーラートランジスターが導電状態にあるとき n p n バイポーラートランジスターにベース電流を供給するように n p n バイポーラートランジスターに隣接した n M O S F E T ；ならびに

ソースとドレインの間を流れる電子電流を n p n トランジスターの p 型ベース層に注入するための正孔電流に変換する手段を含む M O S バイポーラートランジスター。

2. 変換手段が p 型ベース層内に n M O S F E T と n p n バイポーラートランジスターの間に炭化ケイ素トンネルダイオードを含み、これにより n M O S F E T を通って流れる電子電流を n p n バイポーラートランジスターのベース層に注入するための正孔電流に変換する、請求項 1 記載の M O S バイポーラートランジスター。

3. トンネルダイオードが、n 型伝導性ソース領域に隣接して p 型ベース層より高いキャリア濃度を有する p 型伝導性炭化ケイ素領域を含み、これによりソース領域と p 型伝導領域の間に導電性 p - n トンネル接合が得られる、請求項 2 記載の M O S バイポーラートランジスター。

4. 炭化ケイ素 n M O S F E T が、n p n バイポーラートランジスターに隣接したゲート溝を備えかつ変換手段に電子を供給するためのソース領域を備えた U M O S F E T を含み、n p n バイポーラートランジスターが垂直 n p n バイポーラートランジスターを含む、請求項 1 ～ 3 のいずれか 1 項記載の M O S バイポーラートランジスター。

5. p 型ベース層が n 型ドリフト層上にメサを形成した、請求項 1 記載の M O S バイポーラートランジスター。

6. メサの側壁がステップ部分を含み、変換手段が

p型ベース層内のステップ部分にある、p型ベース層より高いキャリア濃度を有するp型伝導性炭化ケイ素領域；および

nMOSFETのn型ソース領域をp型伝導性炭化ケイ素領域に電氣的に接続するための導電性ストラップを含む、請求項1記載のMOSバイポーラートランジスター。

7. メサが勾配付き側壁を備え、側壁の勾配が、電界クラウディングを少なくするための手段に伴う予め定めたドーピングプロファイルを備えている、請求項5または6記載のMOSバイポーラートランジスター。

8. nMOSFETが蓄積モードnMOSFETである、請求項1～7のいずれか1項記載のMOSバイポーラートランジスター。

9. さらに、nMOSFETの絶縁層に伴う電界クラウディングを少なくするための手段を含む、請求項1～8のいずれか1項記載のMOSバイポーラートランジスター。

10. 変換手段が

p型ベース層内にある、p型ベース層より高いキャリア濃度を有するp型伝導性炭化ケイ素領域；および

nMOSFETのn型ソース領域をp型伝導性炭化ケイ素領域に電氣的に接続するための導電性ストラップを含む、請求項1～9のいずれか1項記載のMOSバイポーラートランジスター。

11. MOSバイポーラートランジスターが複数のユニットセルを含み、これにより電氣的に並列の複数のnpnバイポーラートランジスターが設けられた、請求項1～10のいずれか1項記載のMOSバイポーラートランジスター。

12. MOSバイポーラートランジスターが4H n型伝導性バルク単結晶炭化ケイ素基板上に形成された、請求項1～12のいずれか1項記載のMOSバイポーラートランジスター。

13. 下記のものを含む、MOSバイポーラートランジスターのユニットセル

:

n型バルク単結晶炭化ケイ素基板；

n型伝導性バルク単結晶炭化ケイ素基板に隣接したn型炭化ケイ素ドリフト層であって、n型炭化ケイ素基板より低いキャリア濃度を有するn型ドリフト

層；

n型炭化ケイ素ドリフト層上にあるp型炭化ケイ素ベース層；

p型ベース層内にある炭化ケイ素の第1のn型領域；

p型ベース層内にあり、ベース層および第1のn型領域を通して広がってドリフト層に達したゲート溝であって、第1のn型領域の一部をゲート溝の側壁の一部とするゲート溝；

ゲート溝の底および側壁上にある絶縁層；

ベース層内に、ゲート溝に隣接してそこから離れた位置にある、炭化ケイ素の第2のn型伝導領域；

絶縁層上にあり、第1のn型領域の一部の上方に広がるゲート接点；

ドリフト層の反対側の炭化ケイ素基板面上にあるコレクター接点；

ベース層内に、第1のn型領域と第2のn型領域の間に配置された炭化ケイ素のp型領域であって、p型ベース層のキャリア濃度より高いキャリア濃度を有し、第1のn型領域を通して流れる電子をp型ベース層に注入するための正孔に変換するように形成されたp型領域；ならびに

炭化ケイ素の第2のn型領域上にあるエミッター接点。

14. さらに、

ゲート溝の底のn型炭化ケイ素ドリフト領域にあり、p型ベース層のキャリア濃度より高いキャリア濃度を有する、炭化ケイ素のp型領域を含む、請求項13記載のユニットセル。

15. p型領域が第1のn型領域とp-n接合を形成し、これによりトンネルダイオードが設けられた、請求項13または14記載のユニットセル。

16. さらに、

p型領域と第1のn型領域との間を電氣的に接続する、第1のn型領域とp型領域の間の導電性ストラップ

を含む、請求項13、14または15記載のユニットセル。

17. 下記のものを含む、MOSバイポーラートランジスタのユニットセル

n型バルク単結晶炭化ケイ素基板；

n型伝導性バルク単結晶炭化ケイ素基板に隣接したn型炭化ケイ素ドリフト層

であって、n型炭化ケイ素基板より低いキャリアー濃度を有するn型ドリフト層

；

n型炭化ケイ素ドリフト層上に形成されたp型エピタキシャル炭化ケイ素ベース層；

p型ベース層内に、n型炭化ケイ素ドリフト層と反対側の面に隣接して形成された炭化ケイ素の第1のn型領域；

p型エピタキシャル炭化ケイ素ベース層は、p型エピタキシャル炭化ケイ素ベース層を通してn型ドリフト層にまで広がった側壁を有するメサとして形成されている；

n型ドリフト層上に、側壁に隣接して、それから離れた位置に形成された絶縁層；

ドリフト層内に、メサの側壁に隣接して形成された炭化ケイ素の第2のn型伝導領域であって、ドリフト層より高いキャリアー濃度を有する第2のn型伝導領域；

絶縁層上にあり、第1のn型領域の一部の上方に広がるゲート接点；

ドリフト層の反対側の炭化ケイ素基板面上にあるコレクター接点；

ベース層内にある炭化ケイ素の第1のp型領域、および第2のn型領域に隣接して形成されてn型ドリフト領域内および第2のn型伝導領域の下方、そしてゲート接点の下方へ広がる第2のp型領域；これらの第1および第2領域は電氣的に接続し、p型エピタキシャルベース層のキャリアー濃度より高いキャリアー濃度を有し、第1のp型領域は第1のn型領域を通して流れる電子をp型ベース層に注入するための正孔に変換するように形成されている；

側壁の底部に、第2のn型伝導領域を炭化ケイ素の第1のp型領域と電氣的に接続するように形成された導電性ストラップ；ならびに

炭化ケイ素の第2のn型領域上にあるエミッター接点。

18. p型炭化ケイ素の第1および第2領域が、ベース層内にメサの側壁および第2のn型伝導領域に隣接して形成されてゲート接点の下方へ広がったp型炭化ケイ素の連続領域を含む、請求項17記載のユニットセル。

19. 側壁が約60°未満の勾配を有する、請求項17または18記載のユニットセル。

20. 側壁の勾配は、ドリフト層内の予め定めた深さにp型イオンが打込まれたとき炭化ケイ素の第2のp型領域が得られるように選択された、請求項17、18または19記載のユニットセル。

21. 側壁はメサの側壁にステップが得られるように2つの側壁を含み；
炭化ケイ素の第1および第2のp型領域は

p型エピタキシャルベース層内にこのステップに隣接して形成された炭化ケイ素の第1のp型領域；および

n型ドリフト層内に第2のn型伝導領域に隣接して形成され、ゲート接点の下方のn型ドリフト層内へ広がり、そしてp型ベース層へ広がった、炭化ケイ素の第2のp型領域

を含む、請求項17、18、19または20記載のユニットセル。

22. 第2のp型領域がドリフト層の表面に露出するように形成され、導電性ストラップが第1のp型領域を第2のp型領域および第2のn型領域と接続した、請求項21記載のユニットセル。

23. さらに、メサの側壁上にドリフト層とステップの間に形成されてステップ上へ広がった絶縁層を含み、導電性ストラップがこの絶縁層上に形成された、請求項22記載のユニットセル。

24. 第2のp型領域がゲート接点の下方へ約3～約12 μ mの距離に広がった、請求項17～23のいずれか1項記載のユニットセル。

25. 第2のn型伝導領域がn型ドリフト層内へ約0.3～約5 μ mの深さまで形成された、請求項17～24のいずれか1項記載のユニットセル。

26. p型ベース層が約0.3～約5 μ mの厚さを有する、請求項13～25

のいずれか1項記載のユニットセル。

27. n型ドリフト領域が約3～約500 μm の厚さを有する、請求項13～26のいずれか1項記載のユニットセル。

28. n型ドリフト領域が約 10^{12} ～約 10^{17} cm^{-3} のキャリア濃度を有する、請求項13～27のいずれか1項記載のユニットセル。

29. p型ベース層が約 10^{16} ～約 10^{18} cm^{-3} のキャリア濃度を有する、

請求項13～28のいずれか1項記載のユニットセル。

30. 請求項13～29のいずれか1項記載の複数のユニットセルを含む、MOSゲートバイポーラートランジスター。

31. MOSバイポーラートランジスターの製造方法であって、

n型伝導性バルク単結晶炭化ケイ素基板上にn型炭化ケイ素ドリフト層を形成し、このn型炭化ケイ素ドリフト層はn型炭化ケイ素基板より低いキャリア濃度を有し；

n型炭化ケイ素ドリフト層上にp型炭化ケイ素ベース層を形成し；

p型ベース層内に炭化ケイ素の第1のn型領域を形成し；

p型ベース層内に形成されてベース層および第1のn型領域を通してドリフト層内へ広がった第1ゲート溝を形成し、これによりこのn型領域の一部をゲート溝の側壁の一部とし；

ゲート溝の底部および側壁上に形成される絶縁層を形成し；

ベース層内に、ゲート溝に隣接してそこから離れた位置に形成される炭化ケイ素の第2 n型伝導領域を形成し；

絶縁層上に形成されて第1のn型領域の一部の上方に広がるゲート接点を形成し；

ドリフト層の反対側の炭化ケイ素基板面上に形成されるコレクター接点を形成し；

ベース層内に、第1のn型領域と第2のn型領域の間に配置された炭化ケイ素のp型領域であって、p型ベース層のキャリア濃度より高いキャリア濃度を有し、第1のn型領域を通して流れる電子をp型ベース層に注入するための正孔

に変換するように形成される p 型領域を形成し；そして

炭化ケイ素の第 2 の n 型領域上に形成されるエミッター接点を形成することを含む方法。

32. さらに、

ゲート溝の底の n 型炭化ケイ素ドリフト領域に形成され、p 型ベース層のキャリア濃度より高いキャリア濃度を有する、炭化ケイ素の p 型領域を形成する工程を含む、請求項 31 記載の方法。

33. p 型領域を形成する工程が、第 1 の n 型領域と p-n 接合を形成する p 型領域を形成してこれによりトンネルダイオードを設ける工程を含む、請求項 31 または 32 記載の方法。

34. さらに、

p 型領域と第 1 の n 型領域との間を電氣的に接続するように第 1 の n 型領域と p 型領域の間に導電性ストラップを形成する工程を含む、請求項 31 記載の方法。

35. さらに、複数の電氣的に並列な MOS ゲートバイポーラートランジスタが得られるように、複数の請求項 18 記載のユニットセルを形成する工程を含む、請求項 31 記載の方法。

36. n 型伝導性バルク単結晶炭化ケイ素基板上に n 型炭化ケイ素ドリフト層を形成する工程が、基板およびこの基板内のドリフト層のキャリア濃度より高いキャリア濃度の領域を設けるように炭化ケイ素基板にイオンを打込む工程を含む、請求項 31 記載の方法。

37. MOS バイポーラートランジスタの製造方法であって、

n 型伝導性バルク単結晶炭化ケイ素基板上に n 型炭化ケイ素ドリフト層を形成し；

n 型炭化ケイ素ドリフト層上に p 型炭化ケイ素ベース層を形成し；

ベース層に炭化ケイ素の n 型領域が形成されるように第 1 マスクを通してイオンを打込み、これによりエミッター領域およびドレイン領域を設け；

ソース領域に隣接して炭化ケイ素の p 型領域が形成されるように第 2 マスクを

通してイオンを打込み；

n型ソース領域の一部を通り、ベース層を通過してドリフト層にまでエッチングして、ゲート溝を設け；

ベース層および溝の露出面上に絶縁層を形成し；

溝内およびベース層上に、ゲート接点が形成されるようにオーム接点を形成およびパターン化し；

絶縁層の一部を取り除いて、ベース層内に形成されたエミッターを露出させ；

露出したエミッター領域上にエミッター接点を形成し；そして

ドリフト層の反対側の炭化ケイ素基板面上に電源／エミッター接点を形成することを含む方法。

38. マスキング層を通して打込む工程の後、得られた構造体を約1500℃より高い温度でアニーリングする工程を行う、請求項37記載の方法。

39. さらに、n型ドリフト層内に溝の底の下方に炭化ケイ素のp型領域を形成する工程を含む、請求項37記載の方法。

40. さらに、

ベース層内に形成された、より高いキャリア濃度を有するn型ソース領域およびp型領域の一部を露出させ；

露出したn型ソース領域およびp型領域の上に、n型ソース領域をp型領域に電氣的に接続するための導電性ストラップを形成する工程を含む、請求項37記載の方法。

41. イオンを打込んでn型ソース領域およびエミッター領域を形成する工程が、窒素およびリンよりなる群から選択されるイオンを打込む工程を含む、請求項37記載の方法。

42. イオンを打込んでより高いキャリア濃度のp型領域を形成する工程が、アルミニウム、ホウ素またはガリウムよりなる群から選択されるイオンを打込むことを含む、請求項37記載の方法。

43. n型伝導性バルク単結晶炭化ケイ素基板上にn型炭化ケイ素ドリフト層を形成する工程が、

n型炭化ケイ素基板を形成し；そして

より高いキャリア濃度の領域が基板内に得られかつドリフト層が基板内に得られるように、炭化ケイ素基板にイオンを打込む工程を含む、請求項 37 記載の方法。

【発明の詳細な説明】**無ラッチアップ型パワーMOS-バイポーラートランジスタ****関連出願**

本出願は、1997年7月10日出願の米国特許出願第08/891, 221号の継続出願であり、これは、無ラッチアップ型パワーUMOS-バイポーラートランジスタ(LMBT)と題する1997年6月12日出願の米国特許出願第60/049, 423号に関連し、それによる優先権を主張する。

発明の分野

本発明は、半導体デバイス、より詳細には炭化ケイ素中に形成されたそのようなデバイスに関する。本発明は特に、炭化ケイ素中に形成されたパワートランジスタに関する。

発明の背景

シリコンバイポーラートランジスタは、モーター駆動回路、アプライアンス制御装置、ロボティクスおよび照明安定器における高電力用途に有用なデバイスである。それは、バイポーラートランジスタが $200 \sim 50 \text{ A/cm}^2$ の比較的大きな電流密度を扱うように設計でき、かつ $500 \sim 2500 \text{ V}$ の比較的高いブロッキング電圧に耐えるように設計できるからである。

バイポーラートランジスタにより得られる電力定格が有望であるにもかかわらず、すべての高電力用途に対するそれらの適性には幾つかの根本的な欠点がある。バイポーラートランジスタは電流制御型デバイスであり、トランジスタをオン状態モードに維持するには一般にコレクター電流の $1/5$ ないし $1/10$ という比較的大きなベース制御電流を必要とする。高速ターンオフをも必要とする用途については、それに比例してより大きなベース電流が必要となる可能性がある。ベース電流要求が大きいため、ターンオンとターンオフを制御するベース駆動サーキットリーがかなり複雑かつ高価である。バイポーラートランジスタは、誘導電力回路用途で一般に要求されるように高電流と高圧を同時に印加する

場合、早期放電破壊も生じやすい。さらに、高温では一般に単一トランジスタに電流迂回が起き、このためエミッター安定化策が必要になるので、バイポーラ

ートランジスターを並列で操作するのはかなり困難である。この電流迂回は一般にバイポーラーデバイスのオン状態電圧降下により起き、これによってさらに動作温度が高まる。

このベース駆動の問題に対処するために、シリコンパワーMOSFETが開発された。パワーMOSFETでは、適切なゲートバイアスをかけるとゲート電極がターンオンとターンオフを制御する。たとえば正のゲートバイアスをかけ、これに対応してp型チャンネル領域に導電性n型逆転層が形成されると、n型エンハンスメントMOSFETがターンオンになる。この逆転層によりn型ソースとドレイン領域が電氣的に接続し、ソースとドレインの間に多数キャリア伝導が行われるようになる。

パワーMOSFETのゲート電極は、介在する絶縁層（一般に二酸化ケイ素）で導電性チャンネル領域から分離されている。ゲートがチャンネル領域から絶縁されているので、MOSFETを導電状態に維持するために、あるいはMOSFETをオン状態からオフ状態に、またはその逆にスイッチングするために、ゲート電流はほとんど必要ない。ゲートがMOSFETのチャンネル領域と共にコンデンサーを形成するので、スイッチング中のゲート電流は小さく維持される。したがって、スイッチングに際し必要なのは充電と放電の電流（“変位電流”）だけである。絶縁ゲート電極に伴う入力インピーダンスが高いため、ゲートに課される電流要求は最小であり、ゲート駆動サーキットリーを容易に満たすことができる。

さらに、MOSFETの電流伝導は多数キャリア輸送のみによって起きるので、過剰の少数キャリアの組換えに伴う遅れはない。したがって、パワーMOSFETのスイッチング速度はバイポーラートランジスターより数桁速くすることができる。バイポーラートランジスターと異なり、パワーMOSFETは、“二次放電破壊”として知られる破損を生じることなく高い電流密度と高圧印加に同時に比較的長い期間耐えるように設計できる。パワーMOSFETの順電圧降下は温度の上昇に伴って高まり、これにより並列接続デバイスの均一な電流分布が

促進されるので、パワーMOSFETは容易に並列接続できる。

しかし、以上に述べたパワーMOSFETの有益な特性は、高圧デバイスについてはMOSFETのドリフト領域のオン抵抗が比較的高い（小数キャリアが注入されないため起きる）ことにより、一般に相殺される。その結果、MOSFETの動作時順電流密度は一般に比較的低い値に制限され、600Vのデバイスについて等しいオン状態電圧降下で、バイポーラートランジスタの100～120A/cm²と比べて一般に40～50A/cm²である。

パワーバイポーラートランジスタとMOSFETデバイスがもつこれらの特色に基づき、バイポーラ電流伝導とMOS制御電流流れとの組み合わせを利用したデバイスを開発し、これがバイポーラまたはMOSFET単独のような単一技術に優る著しい利点を備えていることを見いだした。バイポーラとMOSの特性を組み合わせたデバイスの一例は、絶縁ゲートバイポーラートランジスタ（Insulated Gate Bipolar Transistor, IGBT）である。

IGBTは、パワーMOSFETのインピーダンスゲートが高いこととパワーバイポーラートランジスタのオン状態伝導損失が小さいことを組み合わせたものである。IGBTは、これらの特色のため、モーター制御用途などに必要な誘導スイッチング回路に広く利用されている。これらの用途には、広い順方向バイアス化安全動作エリア（forward-biased safe-operating-area, FBSOA）、および広い逆方向バイアス化安全動作エリア（reverse-biased safe-operating-area, RBSOA）をもつデバイスが必要である。

IGBTの欠点のひとつは、ゲート制御によるオン状態電流密度に限界があることである。これは、その構造に寄生サイリスタがあることにより生じる。オン状態電流密度が著しく高いと、このサイリスタはラッチアップし、このためオン電流に対するゲート制御が失われる。IGBTのこの特性は、IGBTのサージ電流容量も制限する。オン状態電圧降下および／またはスイッチング速度を犠牲にしてこの寄生サイリスタの有効性を抑制する機構について、多数の提案がなされた。

最近の試みには、パワーデバイスの代わりに炭化ケイ素 (SiC) デバイスを用いる研究も含まれる。そのようなデバイスには、米国特許第5, 506, 421号に記載されるパワーMOSFETが含まれる。高電力用途のために炭化ケイ素接合電界効果トランジスター (JFET) および金属半導体電界効果トランジスター (MESFET) も提唱された。米国特許第5, 264, 713および5, 270, 554号参照。しかしこれらのデバイスは、最小電圧降下として約3Vの順電圧降下を示す。したがってこれらのデバイスはすべての用途に適するわけではない。

デバイスの順電圧降下は、IGBTについてはMOSFETまたはJFETと同じ速度で放電破壊電圧の上昇に伴って増大することはないので、炭化ケイ素IGBTはさらに他のパワーデバイスより向上した性能をもつ。図1に示すように、MOSFET/JFETについての順電圧降下(V_f)に対する放電破壊電圧(BV)の曲線8は、約2000Vで炭化ケイ素IGBTの曲線9と交差する。したがって2000Vより高い放電破壊電圧については、同じ放電破壊電圧での順電圧降下に関して、炭化ケイ素の方がシリコンMOSFETまたはJFETより良好な性能をもつであろう。

炭化ケイ素IGBTの特性はパワーデバイスとして将来性を示すが、そのようなデバイスは現在、炭化ケイ素におけるそれらの利用性が制限されている。これらの制限は、品質の良好な高ドープp型炭化ケイ素基板を作成するのが困難なため生じる。他の制限は、炭化ケイ素内では正孔の移動性がきわめて低く、このため著しく寄生サイリスタラッチアップを生じやすいことである。したがって、炭化ケイ素IGBTがもつゲート制御オン状態電流密度値は低いと予想される。

IGBTは一般に垂直デバイスであるので、デバイスをその上に作成する基板はデバイスの性能にとって重要であろう。基板材料の品質は、高品質デバイスを作成する際の制限因子となる可能性がある。したがって良品質の高ドープp型炭化ケイ素基板の製造が困難であることが、現在ではn型基板にIGBTを加工する制限となるであろう。

従来の電力回路では、高い正電圧レベルに対してではなく接地電圧レベルを基準として開閉する制御電圧をデバイスに印加できるデバイスを得ることが望まし

い。しかしゲートがデバイスのエミッターを基準とする IGBT を得るには、一般に高ドープ p 型基板が必要である。前記のように、現在では炭化ケイ素に高ドープ p 型基板を作成するのは n 型基板を作成するより困難である。n 型基板については、炭化ケイ素 IGBT のゲート電圧はコレクター電圧を基準とする。これは一般的電力回路では線間電圧である。したがって現在の炭化ケイ素 IGBT は、IGBT の構造、炭化ケイ素の電気的特性、および高ドープ p 型炭化ケイ素基板を作成する際の制限の結果として、レベルシフティング手段について、より複雑なゲート駆動サーキットリーを必要とし、その結果、より複雑な電力回路になるであろう。

以上の考察からみて、高電力炭化ケイ素デバイスを改善する必要がある。

発明の目的と概要

以上からみて、本発明の目的のひとつは炭化ケイ素パワーデバイスを提供することである。

本発明の他の目的は、電圧制御型の炭化ケイ素パワーデバイスを提供することである。

本発明のさらに他の目的は、一般の電力回路で制御電圧が接地基準であり、一方、コレクター電圧が正の高圧をブロッキングできる、炭化ケイ素パワーデバイスを提供することである。

本発明のさらに他の目的は、n 型炭化ケイ素基板上に作成できる炭化ケイ素パワーデバイスを提供することである。

本発明の他の目的は、他のバイポーラートランジスターと並列接続できるバイポーラートランジスターであって、動作温度の上昇に伴ってバイポーラートランジスターのオン状態電圧降下が低下することにより生じる不安定性が少ないものを提供することである。

本発明のさらに他の目的は、放電破壊電圧の高い炭化ケイ素パワーデバイスを提供することである。

本発明の他の目的は、逆バイアスモード動作中のゲート絶縁破壊傾向が少ない MOS 制御を提供することである。

これらおよび他の本発明の目的は、炭化ケイ素npnバイポーラートランジスタ（バルク単結晶高ドープn型炭化ケイ素基板上に形成され、n型ドリフト層およびp型ベース層をもつ）を含むMOSバイポーラートランジスタにより達成される。好ましくは、ベース層はエピタキシャル生長により形成され、メサとして形成される。npnバイポーラートランジスタに隣接して、炭化ケイ素nMOSFETが、このnMOSFETのゲートに印加された電圧によりnpnバイポーラートランジスタが導電状態に入るように形成される。nMOSFETは、バイポーラートランジスタが導電状態にあるときnpnバイポーラートランジスタにベース電流を与えるように形成されたソースおよびドレインをもつ。MOSFETのソースとドレインの間を流れる電子電流をnpnトランジスタのp型ベース層に注入するための正孔電流に変換する手段も含まれる。MOSFETの絶縁層に伴う電界クラウディングを少なくするための手段も備えられる。好ましくは、nMOSFETは蓄電モードデバイスである。

具体的態様において、変換手段は、nMOSFETを通して流れる電子電流をnpnバイポーラートランジスタのベース層に注入するための正孔電流に変換するように、nMOSFETとnpnバイポーラートランジスタの間に形成された、炭化ケイ素トンネルダイオードを含む。そのような態様においては、炭化ケイ素nMOSFETはn型伝導性ソース領域を含み、トンネルダイオードはソース領域とp型伝導領域との間に導電性p-nトンネル接合が形成されるように、n型伝導性ソース領域に隣接してp型ベース層より高いキャリアー濃度をもつp型伝導性炭化ケイ素領域を形成することにより形成される。

本発明の1態様において、変換手段は、p型ベース層内にp型ベース層より高いキャリアー濃度をもつp型伝導性炭化ケイ素領域を含み、かつnMOSFETのn型ソース領域をこのp型伝導性炭化ケイ素領域に電氣的に接続するための導電性ストラップを含む。さらに、電界クラウディングを少なくするための手段には、ドリフト層内に絶縁層の下方に間隔をおいて形成された、ベース層にまで広がったp型伝導性炭化ケイ素領域が含まれてもよい。

ベース層としてメサを備えた態様では、メサの側壁にステップ部分が含まれてもよい。このような場合、p型伝導性炭化ケイ素領域はp型ベース層内のステッ

プ部分に形成することができ、かつp型ベース層より高いキャリア濃度をもつ。導電性ストラップは、nMOSFETのn型ソース領域をp型伝導性炭化ケイ素領域に電氣的に接続する。

メサが勾配付き側壁を備えているさらに他の態様においては、側壁の勾配が、電界クラウディングを少なくするための手段に伴う予め定めたドーピングプロファイルを備えている。

ドリフト層内にnMOSFETのゲートに近接して形成されたp型炭化ケイ素領域を用いることにより、ゲート領域の電界クラウディングを少なくすることができ、これによりMOSFETの放電破壊電圧が高まる。このp型伝導性材料領域の形成は、勾配付き側壁をもつメサとしてベース層を形成することによって促進される。その際この側壁の勾配が打込みプロセスと協調し、目的とするドーピングプロファイルを得ることができる。さらに、ベース層をメサとして形成することにより、イオン打込みによってベース層の有意部分に欠陥が生じることなく、ベース層をエピタキシャル生長により形成することができる。イオン打込みによるベース層の損傷はnpnトランジスターの利得を低下させ、その結果、オン状態電圧降下が高まる可能性がある。

他の態様において、変換手段は、p型ベース層内に形成された、p型ベース層より高いキャリア濃度をもつp型伝導性炭化ケイ素領域を含み、nMOSFETのn型ソース領域をこのp型伝導性炭化ケイ素領域に電氣的に接続するための導電性ストラップを形成する。

本発明の具体的態様において、炭化ケイ素nMOSFETは、npnバイポーラートランジスターに隣接して形成されたゲート溝 (gate trench) を備え、かつ変換手段に電子を供給するように形成されたソース領域を備えたUMOSFETを含み、npnバイポーラートランジスターは垂直npnバイポーラートランジスターを含む。さらにこのMOSバイポーラートランジスターは、電氣的に並列の複数のnpnバイポーラートランジスターを設けるように、複数のユニットセルから形成することができる。

MOSトランジスター内の電子電流の流れがバイポーラートランジスター内へベース電流として注入するための正孔電流の流れに変換されるMOSゲートバイ

ポーラートランジスターを形成することにより、電圧制御バイポーラートランジスターが得られる。さらに、バイポーラーデバイスはnpnデバイスであるので、このバイポーラートランジスターはn型炭化ケイ素基板上に形成できる。したがってp型基板を用いる欠点を克服できる。またこのデバイスはnpnバイポーラーデバイスであるので、デバイスのエミッターを接地することができ、これによりゲート制御を接地基準とすることができる。したがって本発明のデバイスは、電力回路に接地基準制御回路を利用できる。

さらに、バイポーラーデバイスのベース電流はチャンネル伝導を用いるMOS逆転チャンネルから注入されるので、炭化ケイ素の電子逆転層移動度の低さによる影響を少なくすることができる。またバイポーラーデバイスにベース電流を供給するMOSトランジスターの特性は、多重並列バイポーラーデバイスの動作を安定化する傾向をもつ。したがって、バイポーラーデバイスのオン状態抵抗は温度上昇に伴って小さくなるが、ベース駆動MOSトランジスターのオン状態抵抗は温度と共に大きくなる。MOSベース駆動トランジスターの抵抗が大きくなると、バイポーラーデバイスのベース電流が小さくなり、その結果バイポーラートランジスター内を流れる電流が小さくなる。したがって、バイポーラーデバイスのオン状態抵抗が温度と共に小さくなるとしても、MOSトランジスターが供給するベース電流が小さくなるため、トランジスター内を流れる電流を小さくすることができる。この相互作用により、本発明のデバイスがユニットセルからなる場合、電流容量を高めるためにこれを繰り返して単一基板内に電氣的に並列な多数のバイポーラートランジスターを得ることができるという利点がさらに得られる。

本発明のデバイスは、ラッチアップの可能性もない。IGBTの構造と対比して本発明の構造には寄生サイリスターがないので、本発明のデバイスは無ラッチアップ型である。

本発明のデバイスには電流飽和モードがあるので、広い順バイアス安全動作領域も得られる。また本発明のデバイスは正孔の衝撃イオン化速度が 4H-SiC 中の電子より高いので、広い逆バイアス安全動作領域も備えている。これらの特性は誘導スイッチング用途に特に適している。

前記の態様のほか、n型バルク単結晶炭化ケイ素基板、およびこのn型伝導性バルク単結晶炭化ケイ素基板上に形成されたn型炭化ケイ素ドリフト層を含むUMOSバイポーラートランジスタのユニットセルも提供する。n型ドリフト層は、キャリア濃度がn型炭化ケイ素基板より低い。このn型炭化ケイ素ドリフト層上にp型炭化ケイ素ベース層が形成され、このp型ベース層内にn型炭化ケイ素の第1領域が形成される。p型ベース層内にゲート溝が形成され、ベース層とn型炭化ケイ素の第1領域の一部を通して広がってドリフト層に達し、第1のn型領域の一部がゲート溝の側壁の一部となる。ゲート溝の底と側壁に絶縁層が形成される。ベース層内に、ゲート溝に隣接し、そこから離れた位置に、n型伝導性炭化ケイ素の第2領域が形成される。絶縁層上に導電性ゲート接点が形成され、第1のn型領域の一部の上方に広がる。コレクター接点は、ドリフト層の反対側の炭化ケイ素基板面上に形成される。炭化ケイ素のp型領域がベース層内に形成され、第1のn型領域と第2のn型領域の間に配置される。p型領域は、p型ベース層のキャリア濃度より高いキャリア濃度をもち、第1のn型領域を通して流れる電子電流をp型ベース層に注入するための正孔電流に変換する正孔溜めを提供するように形成される。最後に、炭化ケイ素の第2のn型領域上にエミッター接点が形成される。

特定の態様においては、ゲート溝の底のn型炭化ケイ素ドリフト領域内に形成された炭化ケイ素の第2のp型領域も設けられる。この第2のp型領域は、好ましくはn型ドリフト層のキャリア濃度より高いキャリア濃度をもち、

他の態様においては、第1のp型領域が第1のn型領域と共にp-n接合を形成し、これによりトンネルダイオードが得られる。あるいは、このp型領域を第1のn型領域に電氣的に接続するために、第1のn型領域とp型領域の間に形成された導電性ストラップを設けてもよい。

本発明の具体的態様において、p型ベース層は約0.3~約0.5 μm の厚さをもつ。n型ドリフト層は約3~約500 μm の厚さをもつ。またn型ドリフト層は約 1×10^{12} ~約 $1 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度をもち、p型ベース層は約 1×10^{16} ~約 $1 \times 10^{18} \text{ cm}^{-3}$ のキャリア濃度をもち、

さらに他の本発明の態様においては、本発明による複数のユニットセルを含む

MOS ゲートバイポーラートランジスターが提供される。

本発明には、前記デバイスの製造方法も含まれる。これらの方法はさらに、UMOSFET 炭化ケイ素トランジスターと同じ基板上に本発明によるデバイスを作成できるという利点をもつ。したがって本発明には、n 型バルク単結晶炭化ケイ素基板上に n 型炭化ケイ素ドリフト層を形成し、この n 型炭化ケイ素ドリフト層上に p 型炭化ケイ素ベース層を形成する工程を含む方法も含まれる。ベース層内に炭化ケイ素の n 型領域が形成されるように第 1 マスキング層を通してイオンを打込んで、エミッター領域とドレイン領域を得る。このソース領域に隣接して炭化ケイ素の p 型領域が形成されるように、第 2 マスキング層を通して同様にイオンを打込む。n 型ソース領域の一部およびベース層を通してドリフト層内へ溝をエッチングし、ゲート溝を設ける。ベース層および溝の露出面上に絶縁層を形成し、溝内およびベース層上に、ゲート接点を得られるように導電性接点を形成およびパターン化する。絶縁層の一部を除去して、ベース層内に形成されたエミッター領域を露出させ、露出したエミッター領域上にエミッター接点を形成する。ドリフト層と反対側の炭化ケイ素基板表面に電源／コレクター接点を形成する。

本発明方法の他の態様においては、マスキング層を通した打込み工程の後に、得られた構造体を約 1500℃より高い温度でアニーリングする工程を行う。本発明方法には、n 型ドリフト層内に溝の底の下方に p 型炭化ケイ素領域を形成することが含まれてもよい。

本発明方法の他の態様においては、ベース層内に形成された、より高いキャリア濃度の n 型ソース領域および p 型領域の部分を露出し、これらの露出部分上に、n 型領域を p 型領域に電氣的に接続するための導電性ストラップを形成する。

本発明方法のさらに他の態様においては、n 型バルク単結晶炭化ケイ素基板、およびこの n 型伝導性バルク単結晶炭化ケイ素基板に隣接した n 型炭化ケイ素ドリフト層をもつ MOS バイポーラートランジスターのユニットセルが提供される。n 型ドリフト層は n 型炭化ケイ素基板より低いキャリア濃度をもつ。n 型炭化ケイ素ドリフト層上に p 型エピタキシャル炭化ケイ素ベース層を形成し、この

p型ベース層内にn型炭化ケイ素ドリフト層の反対側の面に隣接して炭化ケイ素の第1のn型領域を形成する。p型エピタキシャル炭化ケイ素ベース層は、このp

型エピタキシャル炭化ケイ素ベース層を通してn型ドリフト層へ広がる側壁をもつメサとして形成される。

n型ドリフト層上に、側壁に隣接し、そこから離れた位置に絶縁層が形成され、ドリフト層内にメサの側壁に隣接して炭化ケイ素の第2のn型伝導領域が形成される。第2のn型伝導領域はドリフト層より高いキャリア濃度をもつ。絶縁層上に第1のn型領域の上方に広がったゲート接点が形成される。コレクター接点は、炭化ケイ素基板表面上にドリフト層の反対側に形成される。炭化ケイ素の第1のp型領域がベース層内に形成され、第2のp型領域が第2のn型伝導領域に隣接して形成され、第2のn型伝導領域の下方で、ゲート接点の下方のn型ドリフト領域内へ広がる。このp型領域は、p型エピタキシャルベース層のキャリア濃度より高いキャリア濃度をもつ。第1のp型領域は、第1のn型領域を通して流れる電子をp型ベース層に注入するための正孔に変換するように形成される。炭化ケイ素の第2のn型伝導領域と第1のp型領域を電氣的に接続するように、側壁の底部に導電性ストラップも形成される。炭化ケイ素の第1のn型領域上には、エミッター接点が形成される。

特定の態様において、炭化ケイ素の第1および第2のp型領域は、ベース層内にメサの側壁および第2のn型伝導領域に隣接して形成されてゲート接点内およびその下方に広がった、p型炭化ケイ素の連続領域を含む。

他の態様において、側壁は約60°未満の勾配をもつ。側壁の勾配は、ドリフト層内の予め定めた深さにp型イオンが打込まれたとき、炭化ケイ素のp型領域が得られるように選択できる。

他の態様において、側壁はメサの側壁にステップが得られるように2つの側壁を含む。このような場合、炭化ケイ素の第1のp型領域はこのステップに隣接してp型エピタキシャルベース層内に形成された炭化ケイ素の第1のp型領域、およびn型ドリフト層内に形成された炭化ケイ素の第2のp型領域を含む。第2の

p型領域は第2のn型伝導領域に隣接して形成され、ゲート接点の下方のn型ドリフト層からp型ベース層へ広がる。導電性ストラップが、第1のp型領域を第2のp型領域および第2のn型伝導領域と接続する。

本発明の特定の態様のユニットセルは、ドリフト層の表面に露出するように形成された第2のp型領域を含むこともできる。このような場合、導電性ストラップが第1のp型領域を第2のp型領域および第2のn型領域と電氣的に接続する。さらに絶縁層がメサの側壁上にドリフト層とステップの間に形成され、ステップ上へ広がっていてもよい。次いで、導電性ストラップをこの絶縁層上に形成することができる。

具体的態様において、p型ベース層は約0.3～約5 μm の厚さをもつ。またn型ドリフト領域は約3～約500 μm の厚さをもつ。n型ドリフト領域は約 10^{12} ～約 10^{17}cm^{-3} のキャリア濃度をもち、p型エピタキシャルベース層は約 10^{16} ～約 10^{18}cm^{-3} のキャリア濃度をもつ。p型領域は、ゲート接点の下方へ約3～約12 μm の距離に広がってもよい。第2のn型伝導領域は、n型ドリフト層内に約0.3～約5 μm の深さにまで形成される。

他の態様において、絶縁層は酸化層を含む。また本発明のMOSゲートバイポーラートランジスターを複数の本発明のユニットセルにより形成することができる。本発明のユニットセルおよびトランジスターを製造する方法も提供される。

以上および他の本発明の目的、利点および特色、ならびにそれらを達成する方法は、以下の本発明の詳細な説明を、添付の図面と合わせて考慮することによってより容易に理解できるであろう。図面には本発明の好ましい態様を例示する。

図面の説明

図1は、シリコンMOSFETおよびJFETならびに炭化ケイ素IGBTに関して、順電圧降下に対する放電破壊電圧のグラフである。

図2は、本発明によるパワーデバイスの複数のユニットセルの断面図である。

図3は、本発明によるパワーデバイスの別形態の複数のユニットセルの断面図である。

図4A～4Jは、本発明によるパワーデバイスの作成を説明した断面図である。

図5は、別形態の本発明によるパワーデバイスの複数のユニットセルの断面図である。

図6は、第2別形態の本発明によるパワーデバイスの複数のユニットセルの断面図である。

図7は、第3別形態の本発明によるパワーデバイスの複数のユニットセルの断面図である。

図8A～8Hは、別形態の本発明によるパワーデバイスの作成を説明した断面図である。

好ましい態様の詳細な説明

本発明の好ましい態様を示した添付の図面を参照して、以下に本発明をより詳細に説明する。ただし本発明は多種多様な形態で実施でき、本明細書に述べた態様に限定されると解すべきではない。むしろこれらの態様は本発明の範囲を十分かつ完全に開示し、当業者に十分に伝えるために提示したものである。全体を通して同様な数字は同様な素子を表す。さらに、図面に示した種々の層および領域は模式的に示したものである。当業者に自明なとおり、本明細書中で基板その他の層“上”に形成された層に関する記載は、基板その他の層上に直接に、または基板その他の層上に形成された介在層（1またはそれ以上）上に形成された層を表す。同様に当業者に自明なとおり、本発明を各層に関して記載するが、それらの層はエピタキシャルに、または打込みにより形成することができる。したがって本発明は添付の図面に示した相対的なサイズや間隔に限定されない。

図2は本発明の1態様を示す。図2には、無ラッチアップ型パワーUMOSバイポーラートランジスタ（LMBT）のユニットセルの組合わせを示す。本発明の第1態様のユニットセルを図2の線A-A'とB-B'の間に示す。このユニットセルを線A-A'および線B-B'両方の周りに鏡面投影することにより、多重ユニットセルのデバイスを得ることができる。図2には多重ユニットセルデバイスの一部を示す。当業者に自明のとおり、本発明のユニットセルは単一ユ

ニットセルデバイスの作成にも利用できる。そのような場合、領域18および22は溝16のエミッター側にのみ形成すればよい。

本発明のLMBTには、n型伝導性炭化ケイ素のバルク単結晶炭化ケイ素基板10が含まれる。基板10は、上面、およびこの上面の反対側の下面をもつ。n型伝導性炭化ケイ素の第1層12が基板10の上面に形成され、n⁻ドリフト領域を形成することができる。あるいはn⁻基板が基板の下面に打込まれたn⁺領域

を含み、これにより基板内にn⁺およびn⁻領域を得ることもできる。したがって本明細書中で用いる基板および第1層という記載は、基板上および基板内の両方に形成された層を表す。基板10のキャリアー濃度は第1層12のキャリアー濃度より高い。したがって基板をn⁺基板とすることができる。基板10には、シート抵抗率1Ω-cm未満が適切である。第1層12には、約10¹²~約10¹⁷cm⁻³のキャリアー濃度が適切である。基板は約100~約500μmの厚さをもつことができる。第1層12は約3~約500μmの厚さをもつことができる。

第1層12の上に、p型ベース層を得るための第2層14を形成する。第2層14はエピタキシャル生長させるか、または第1層12内に打込むことができ、デバイスのp型ベース層を形成するp型伝導性炭化ケイ素から形成される。第2層14内に、デバイスのエミッターを形成するn⁺伝導性炭化ケイ素の領域20が形成される。第2層14内に、n⁺領域18およびp⁺領域22も形成される。p⁺炭化ケイ素領域22は、n⁺領域18の隣に、n⁺領域18とp⁺領域22の間に導電性p-nトンネル接合が形成されるように形成するのが好ましい。n⁺領域18は、それらがゲート溝16の側壁の一部を形成するように形成される。n⁺領域18は、本発明のデバイスに取り込まれたMOSトランジスタのドレイン領域を形成する。

p型ベース層14は、約10¹⁶~約10¹⁸cm⁻³のキャリアー濃度、および約0.3~約5μmの厚さをもつことが好ましい。n⁺領域18は、ゲート溝から約0.5~約2μm離れて広がり、約0.1~約2μmの深さにまで広がるのが好ましい。n⁺領域18には、約10¹⁸cm⁻³より高いキャリアー濃度が適切

であろう。同様に p^+ 領域 22 は、約 $0.1 \sim 2 \mu m$ の深さにまで形成され、約 $0.1 \sim 2 \mu m$ の幅をもつことが好ましい。 p^+ 領域 22 には、約 $10^{16} cm^{-3}$ より高いキャリア濃度が適切であろう。 p 領域 22 は、エミッター領域 20 から約 $0.5 \sim 4 \mu m$ 離れていることも好ましい。エミッター領域のサイズおよび形状は、本発明のデバイスのバイポーラー部分の目的特性に依存するであろう。

図 2 に示したデバイスには、ゲート溝 16 も含まれる。ゲート溝 16 は、 n^+ 領域 18 および第 2 層 14 を通って第 1 層 12 内へ下方に広がる溝を形成することにより形成される。したがってゲート溝 16 は側壁と底をもつ。絶縁層 24 (好ましくは酸化物層) がゲート溝の側壁と底の上に形成され、 n^+ 領域 18 の上面上へ広がる。この絶縁層 24 は、好ましくは二酸化ケイ素などの酸化物層であるが、窒化ケイ素、窒化アルミニウムなど他の材料、または当業者に既知の他の絶縁材で作成されてもよい。ゲート溝 16 の幅および深さは、本発明のデバイスの目的とする電気的特性に依存する。本発明には約 $1 \sim 10 \mu m$ の幅を採用できる。ゲート溝の深さは、ゲート溝 16 の底に形成される絶縁/酸化物層 24 の上面が第 2 層 14 と第 1 層 12 の界面より下方にあるのに十分な深さにすべきである。さらに、ゲート絶縁層 24 の厚さは好ましくは約 $100 \text{ \AA} \sim 1 \mu m$ であるが、トランジスタの目的とする電気的特性に応じて変更できる。

図 2 のデバイスには、第 1 層 12 内にゲート溝 16 の下方に形成された任意の p 型伝導性炭化ケイ素領域 32 も含まれる。この p 型伝導性炭化ケイ素領域 32 は、第 2 層 12 より高いキャリア濃度をもつ。約 $10^{16} \sim 10^{19} cm^{-3}$ のキャリア濃度を採用できる。

基板 10 の下面上に、コレクター接点 30 を形成するためのオーム接点が形成される。接点はゲート溝 16 の側壁と底にも形成され、 n^+ 領域 18 の上面上へ広がる。この接点は図 2 のデバイスのゲート接点を提供する。最後に、 n^+ 炭化ケイ素領域 20 上に、デバイスのエミッター接点を提供するためのオーム接点 28 が形成される。

図 2 にゲート溝 16 は 2 つの溝として示される。しかし当業者に自明のとおり

、ゲート溝は第3次元（図2の紙面の内外への次元）において多種多様な形状をもつことができる。たとえば図2に示したデバイスは実質的に円形であってもよく、この場合ゲート溝16は、たとえば六角形のデバイスにおけるように、エミッター領域20を取り巻く単一ゲート溝である。またゲート溝16は2本の実質的に平行な溝であってもよく、その場合、ゲート溝内に形成されたこれらのゲート接点26は第3次元において電氣的に接続している。このように本発明によるデバイスの三次元構造は多種多様な形状をとることができ、なおかつ本発明方法の利点をもつ。

図3には本発明の別形態を示す。図3に見られるように、図2のデバイスの構造体が、 n^+ 領域18を p^+ 領域22に接続する導電性ストラップ34をも備えている。図3に示すデバイスでは、 n^+ 領域18と p^+ 領域22の間に整流 $p-n$ 接合が形成されてはならない。当業者に自明のとおり、図2に示したユニットセルは図3にもある。したがって、本発明方法により任意数のユニットセルを含むデバイスを製造できる。

当業者に自明のとおり、本発明はユニットセルをパワーデバイス用に形成することができ、これによりデバイスの電流運搬能を高めるためにデバイスの複数のセルを並列に形成して作動させることができる。このような場合、図2または図3に示したデバイスのユニットセルを対称的に繰り返して、多重デバイスを得ることができる。このようなデバイスでは、デバイスの周辺にある外側ゲートはゲート溝のエミッター側に n 型領域と p 型領域のみを含めばよい。

図2および3に関して以上に記載したデバイスの作成を、図4A～4Jを参照して記載する。図4Aに示すように、厚い n 型層12を n^+ 基板10上に、米国特許第4,912,064号（その開示内容全体を本明細書に援用する）に記載されるようなエピタキシャル生長方法により生長させる。あるいは前記のように、 n^- 基板を用い、 n^+ 打込みを行って、 n^+ 層10と n^- 層12を得ることもできる。図4Bに示すように、第2の p 型層14を第1の n 型エピタキシャル層12上にエピタキシャル生長させる。次いでこの p 型層14上に n^+ 領域18と20を形成する。これらの n^+ 領域18と20は、図4Cに示すようにマスク40を

用いるイオン打込みにより形成することができる。

図4Dに示すように、p領域22はマスク42を用いるイオン打込みにより形成することができる。マスク42は、p型領域22をn型領域18に隣接して配置することによりこれらの間に導電性p-nトンネル接合を形成するように形成されることが好ましい。p型領域22ならびにn型領域18および20を形成した後、この構造体を1500℃より高い温度でアニーリングして、打込んだイオンを活性化する。

アニーリング後、デバイスを取り巻くメサをエッチングすることにより、端を仕切ることができる。このメサ（図示されていない）は第2層14および第1層

12を通して基板10内へ広がっていてもよい。あるいは、メサは第2層14を通して第1層12内へ広がっていてもよい。このような場合、露出したn-層12内に、約100Å～約5μmの深さにまで、かつメサの端から約5～約500μmの距離にイオンを打込むことができる。メサを取り巻く低ドープp型領域を形成するために、約 5×10^{15} ～約 $1 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度を採用できる。いずれの場合も、次いでメサの露出面にパシベーション層を形成できる（図示されていない）。そのようなパシベーション層はSiO₂または当業者に既知のこれに類する材料であってもよい。

エピタキシャル構造を形成した後、デバイスのゲート溝を配置するために基板上にマスク44を形成する。そのようなマスクを図4Eに示す。反応性エッチングにより、p型ベース層14を通してn型ドリフト層12内へゲート溝16を形成する。ゲート溝16は米国特許第4,981,551号（その開示内容全体を本明細書に援用する）に記載された反応性イオンエッチング法により形成できる。

図4Fに見られるように、ゲート溝16の底に所望によりp型領域32をイオン打込みしてもよい。ゲート溝16の底にあるこのp型領域32はゲート溝の角における電界クラウディングを少なくし、これによりデバイスのMOS部分の放電破壊電圧を高めることができる。このp⁺打込み領域32は、米国特許第5,087,576号（その開示内容全体を本明細書に援用する）に記載された方法

で形成できる。

ゲート溝16を形成した後、図4Gに示すように、エピタキシャル構造上に絶縁／酸化物層26を形成する。絶縁層24は、溝16の底と側壁を覆い、 n^+ 領域18の上面上へ広がるように形成される。絶縁／酸化物層24には、好ましくは熱酸化法、たとえば“炭化ケイ素中の酸化物層における欠陥を減らす方法”と題する同一出願人による米国特許出願第08/554,319号（その開示内容全体を本明細書に援用する）に記載された方法、または酸化物析出法、たとえば米国特許第5,459,107号および米国特許出願第08/554,319号（それらの開示内容全体を本明細書に援用する）に記載された方法を用いる。熱酸化法を用いる場合に好ましい態様は、たとえば米国特許第5,506,421号（その開示内容全体を本明細書に援用する）に記載されたカーボン表面加工ウ

ェーハを用いるものである。

本発明デバイスの接点形成を図4H～4Jに示す。ゲート接点は、図4Hに示すように、ゲート溝16内に導電層を析出させることにより形成できる。図4Hに示すように、ゲート材料26（好ましくはモリブデン）を絶縁層24上に析出させ、 n 型領域18の一部の上方へ広がるようにパターン化することができる。図4Iに示すように、絶縁層24に開口を形成し、次いでニッケルその他の適切な接点材料を層14の露出部分上に析出させることにより、エミッター接点28と任意の導電性ストラップ34を同時に形成できる。最後に、図4Jに示すように、ニッケルその他の適切な接点材料を析出させることにより、基板の露出面にコレクター接点30を形成する。

以上に記載した各態様において、基板および各層は6H、4H、15Rまたは3C炭化ケイ素の群から選択される炭化ケイ素で形成できるが、前記の各デバイスには4H炭化ケイ素が好ましい。オーム接点に好ましい金属には、ニッケル、ケイ化タンタルおよび白金が含まれる。あるいは、アルミニウム／チタン接点も本発明のオーム接点を形成するために使用できる。これら特定の金属を記載したが、炭化ケイ素とのオーム接点を形成する、当業者に既知の他のいかなる金属も使用できる。

前記デバイスのエピタキシャル層および打込み領域のキャリア濃度またはドーピング量に関しては、 p^+ または n^+ 伝導型の領域およびエピタキシャル層は、過度の加工欠陥を生じることなく可能な限り強くドーピングすべきである。 p 型領域を設けるのに適したドーパントには、アルミニウム、ホウ素またはガリウムが含まれる。 n 型領域を設けるのに適したドーパントには、窒素およびリンが含まれる。アルミニウムは p^+ 領域に好ましいドーパントであり、上記に述べた高温イオン打込みを用い、約 $1000\sim1500^{\circ}\text{C}$ の温度でアルミニウムを p^+ 領域に打込むことが好ましい。 n エピタキシャル層には最高約 $3\times 10^{17}\text{cm}^{-3}$ のキャリア濃度が適しているが、約 $3\times 10^{16}\text{cm}^{-3}$ 以下のキャリア濃度が好ましい。

当業者に自明のとおり、エピタキシャル層12および14の厚さはデバイスの目的とする動作特性に依存するであろう。さらにこれらの動作特性は、多重セル

デバイスに用いるユニットセルの個数およびユニットセルの幾何学的形状により影響されるであろう。ゲート溝の幅もデバイスの目的とする動作特性、それらの動作特性を得るために用いるユニットセルの個数、およびユニットセルに採用する幾何学的形状自体に依存するであろう。

操作において、本発明のデバイスはバイポーラー導電性とMOSゲート制御を組み合わせた炭化ケイ素デバイスを提供する。さらに本発明は、ゲート電圧をデバイスのエミッター基準とすることができる n 型炭化ケイ素基板を用いる。この関係により、電力回路においてゲート電圧を接地基準とすることができる。本発明の他の利点は、ベース電流注入のためにMOSトランジスタによる n チャンネル伝導を利用し、このため炭化ケイ素内での比較的低い電子チャンネル移動度の影響が少なくなることである。

本発明によるデバイスのターンオンは、エミッター28を接地電位に維持した状態で、正のバイアスをコレクター30に印加し（約 $3\sim10\text{V}$ ）、正のバイアスをゲート26に印加する（約 $15\sim40\text{V}$ ）ことにより行われる。NMOSFETのソース18はオフ状態では浮動であり、動作時のエミッター電圧より約 3V （ $p-n$ 接合についての炭化ケイ素順バイアス電圧降下）高い。ゲート26の

正のバイアスにより、nMOSFETをターンオンにすることができる。したがってデバイスのターンオンのためのゲート電圧 (V_g) は $15V + V_t + 3V$ であろう。ここで V_t は MOS デバイスの閾値である。ソースに対し正のバイアスをゲートにかけると、コレクターから npn トランジスタのベースへの電子の流れが形成され、これによりそのエミッター-ベース接合に順バイアスがかかる。npn トランジスタのターンオンにより少数キャリアが低ドープのドリフト領域に注入されることによって、このデバイスは高い電流密度で動作できる。したがってこのデバイスによれば、比較的低い順電圧降下で高い電流密度が得られる。npn トランジスタへのベース電流は MOS トランジスタの飽和電流により制限され、その結果、LMBT の電流飽和特性が得られる。ゲート電圧が高いほど npn トランジスタへのベース電流を高くすることができ、したがって LMBT の飽和電流がより高くなる。

ゲート電位をエミッター電位と同じにすると、このデバイスは順ブロッキング

モードの動作に入る。これにより NMOSFET がターンオフになり、その結果 npn トランジスタのベース電流がゼロに低下する。npn トランジスタの少数キャリアがそれらに固有の寿命に伴って減衰した後、デバイスは電流の流れを止め、実質的なコレクター電圧を維持することができる。この電圧は p ベース 14-n⁻ドリフト領域 12 の接合、p⁺緩衝/ゲート酸化物-n⁻ドリフト領域の接合により維持される。p⁺緩衝領域 32 は、所望により第3次元で p ベースに短絡してもよい。この緩衝領域の目的は、このデバイスの順ブロッキングモードの動作に際しゲート誘電体内に高い電界が生じるのを阻止することである。

図5には、本発明の別形態を示す。この態様では、エピタキシャル形成したバイポーラートランジスタ p 型伝導性ベース領域、および埋め込まれた p 型炭化ケイ素領域を用いて、ゲート絶縁体/酸化物に与えられる電界を制御する。図5には、無ラッチアップ型パワー MOS バイポーラートランジスタ 60 のユニットセルの組合わせを示す。本発明のこの別形態のユニットセルを図5の線 C-C' と D-D' の間に示す。このユニットセルを線 C-C' および線 D-D' 両方の周りに鏡面投影することにより、多重ユニットセルのデバイスを得ることがで

きる。図5には多重ユニットセルデバイスの一部を示す。当業者に自明のとおり、本発明のユニットセルは単一ユニットセルデバイスの作成にも利用できる。

図5に示すように、本発明のMOS-バイポーラートランジスタ60には、n型伝導性炭化ケイ素のバルク単結晶炭化ケイ素基板10が含まれる。基板10は、上面、およびこの上面の反対側の下面をもつ。n型伝導性炭化ケイ素の第1層12を基板10の上面に形成して、n-ドリフト領域を形成することができる。あるいはn-基板が基板の下面に打込まれたn+領域を含み、これにより基板内にn+およびn-領域を得ることができる。したがって本明細書中で用いる基板および第1層という記載は、基板上および基板内の両方に形成された層を表す。基板10のキャリアー濃度は第1層12のキャリアー濃度より高い。したがって基板をn+基板とすることができる。基板10には、シート抵抗率 $1\Omega\text{-cm}$ 未満が適切である。第1層12には、約 $10^{12}\sim 10^{17}\text{cm}^{-3}$ のキャリアー濃度が適切である。基板は約 $100\sim 500\mu\text{m}$ の厚さをもつことができる。第1層12は約 $3\sim 500\mu\text{m}$ の厚さをもつことができる。

第1層12の上に、p型ベース層を得るための第2層14を形成する。第2層14はエピタキシャル生長させることが好ましく、デバイスのp型ベース層を形成するp型伝導性炭化ケイ素から形成される。図5に示すように、n-層12内へ広がる側壁をもつメサ62を形成するように、エピタキシャル層14をパターン化する。側壁62は好ましくは可能な限りわずかに層12内へ広がるが、約 $0.5\mu\text{m}$ の深さは許容できる。好ましくは、メサの側壁はメサの底部がメサの頂部より幅広くなるような勾配をもつ。この勾配は、側壁がドリフト層12となす角度で測定して 60° 未満であることが好ましい。好ましくは、メサ62の頂部の幅とメサ62の底部の幅の差は約 $10\mu\text{m}$ 未満である。ただしこの差は、p型ベース層14およびn型炭化ケイ素の第1領域64の厚さに応じて、目的とするメサ62の側壁の勾配を得るように変更できる。側壁の勾配を、p型領域68のプロファイルが形成されるような原子の打込みと協調するように選択することが好ましい。この勾配は、p型領域68がpベース層14と接するまで広がるようにp型原子を打込むことにより、p型領域68の打込みを促進する。したがってメ

サの勾配は、第 1 ドリフト層 12 からベース層 14 にまで広がる連続した打込み原子領域を得るように選択すべきである。

図 5 に示した本発明の態様の MOS-バイポーラートランジスタには、n 型炭化ケイ素の第 1 領域 64 も含まれる。これは、p 型ベース層 14 上に n 型炭化ケイ素ドリフト層 12 の反対側の面に隣接して形成され、MOS-バイポーラートランジスタ 60 のバイポーラートランジスタエミッター領域を提供する。この n 型炭化ケイ素の第 1 領域 64 は、n⁺炭化ケイ素の第 1 領域 64 を得るために n 型伝導層 12 より高いキャリア濃度をもつようにドーピングすることが好ましい。エミッター接点 28 が得られるように、n 型炭化ケイ素 64 の第 1 領域上にオーム接点をも形成する。

絶縁層 70 が、第 1 層 12 上に、メサ 62 の側壁に隣接し、そこから離れた位置に形成される。MOS トランジスタのゲート接点 72 を得るために、絶縁層 70 上にオーム接点を形成する。この絶縁層 70 は好ましくは二酸化ケイ素などの酸化物層であるが、窒化ケイ素、窒化アルミニウムなど他の材料、または当業者に既知の他の絶縁材で作成されてもよい。

MOS バイポーラートランジスタ 60 には、n⁻ドリフト層 12 内にメサ 62 の側壁の底部に形成された n⁺炭化ケイ素の第 2 領域 66 も含まれる。この n⁺領域 66 は、メサ 62 の側壁からデバイスのゲート接点 72 の下方へ広がる。n⁺炭化ケイ素の第 2 領域 66 は、好ましくは n⁻ドリフト層 12 より高いキャリア濃度をもつようにドーピングされる。n⁺炭化ケイ素の第 2 領域 66 を、n⁺炭化ケイ素の第 2 領域 66 と導電性ストラップ 74 が接触するように、ドリフト層 12 の表面に近接して形成することも好ましい。

炭化ケイ素の p 型領域 68 も、p 型ベース層 14 内に、メサ 62 の側壁および n⁺炭化ケイ素の第 2 領域 66 に隣接して形成される。炭化ケイ素の p 型領域 68 は、n⁻ドリフト層 12 内で n⁺炭化ケイ素の第 2 領域 66 の下方に広がり、かつゲート接点 72 の下方へ広がる。炭化ケイ素の p 型領域 68 は、好ましくは p 型ベース層 14 より高いキャリア濃度をもつようにドーピングされる。さらに、この炭化ケイ素の p 型領域は、n⁺炭化ケイ素の第 2 領域 66 を通って流れる

電子をp-型ベース層に注入するための正孔に変換するように形成される。炭化ケイ素のp型領域68は、ゲート絶縁層70に伴う電界クラウディングを少なくし、これによりMOS-バイポーラートランジスター60のMOSトランジスター部分のブロッキング電圧を高めるようにも形成される。

MOS-バイポーラートランジスター60には、n⁺炭化ケイ素の第2領域66を炭化ケイ素のp型領域68と電氣的に接続する導電性ストラップ74も含まれる。あるいは、n⁺炭化ケイ素の第2領域66と炭化ケイ素のp型領域の間のp-n接合がトンネルダイオードを形成し、これにより電子の流れがベース層14内で正孔の流れに変換される場合、導電性ストラップ74の必要性は除かれるであろう。

p型ベース層14は、約 10^{16} ~約 10^{18} cm⁻³のキャリアー濃度、および約0.3~約5 μmの厚さをもつことが好ましい。第2のn⁺領域66は、好ましくは約1~約5 μmの幅であり、可能な限りわずかにゲートの下方へ広がるが、この距離は約0.5~約3 μmであってもよい。第2のn⁺領域66も、好ましくは約0.1~約0.5 μmの深さにまで広がる。n⁺領域66には、約 10^{18} cm⁻³より高いキャリアー濃度が適切であろう。

p⁺領域68は、約0.3~約2 μmの厚さであって、ゲート接点72の下方約3~約12 μmにまで広がることが好ましい。ただしp⁺領域68がゲート接点の下方へ広がる距離は、個々の用途に応じて変動するであろう。特に、ゲート接点の下方のp⁺領域68の間隔は、絶縁層70付近の電界を調節するのに利用できる。p⁺領域68の間隔が小さくなるのに伴って、絶縁層70付近の電界は小さくなるであろう。約1~約5 μmの間隔が適切であろう。p⁺領域68には、約 10^{16} cm⁻³より高いキャリアー濃度が適切である。好ましくは、ドリフト層12およびp⁺領域68のドーピングは、ドリフト層12がビルトイン電位によりp⁺/n接合を完全に失い、MOSゲートがゼロゲートバイアスになるように選択される。

図6には、本発明の第2の別形態を示す。この態様では、エピタキシャル形成したバイポーラートランジスターp型伝導性ベース領域を用い、このベース領域

はメサの側壁にステップをもつメサとして形成される。図6には、無ラッチアップ型パワーMOSバイポーラートランジスタ80のユニットセルの組合わせを示す。本発明のこの別形態のユニットセルを図6の線E-E'とF-F'の間に示す。このユニットセルを線E-E'および線F-F'両方の周りに鏡面投影することにより、多重ユニットセルのデバイスを得ることができる。図6には多重ユニットセルデバイスの一部を示す。当業者に自明のとおり、本発明のユニットセルは単一ユニットセルデバイスの作成にも利用できる。

図6に示すように、本発明のMOSバイポーラートランジスタ80には、図5に関して記載したように、n型伝導性炭化ケイ素のバルク単結晶炭化ケイ素基板10、およびn型伝導性炭化ケイ素の第1層12が含まれる。

第1層12の上に、p型ベース層を得るための第2層14を形成する。第2層14はエピタキシャル生長させることが好ましく、p型伝導性炭化ケイ素から形成され、デバイスのp型ベース層を形成する。図6に示すように、ステップ84を形成しかつn-層12内へ広がる側壁をもつメサ82を形成するように、エピタキシャル層14をパターン化する。側壁82は好ましくは可能な限りわずかに層12内へ広がるが、約0.5 μ mの深さは許容できる。好ましくは、ステップ84からドリフト層12へ広がるメサ82の側壁は、メサの底部がステップ84

におけるメサの幅より広くなるような勾配をもつ。この勾配は、側壁がドリフト層12となす角度で測定して60°未満であることが好ましい。好ましくは、メサ82の頂部の幅とメサ82の底部の幅の差は約10 μ m未満である。ただしこの差は、p型ベース層14およびn型炭化ケイ素の第1領域64の厚さに応じて、目的とするメサ62の側壁の勾配を得るように変更できる。さらに、ステップ部分84からドリフト層12までの側壁の勾配を、p型領域88のプロファイルが形成されるような原子の打込みと協調するように選択することが好ましい。この勾配は、p型領域88がpベース層14と接するまで広がるようにp型原子を打込むことにより、p型領域88の打込みを促進する。したがってメサの勾配は、第1ドリフト層12からベース層14にまで広がる連続した打込み原子領域を得るように選択すべきである。

図6に示した本発明の態様のMOSバイポーラートランジスタには、n型炭化ケイ素の第1領域64も含まれる。これは、p型ベース層14上にn型炭化ケイ素ドリフト層12の反対側の面に隣接して形成され、MOSバイポーラートランジスタ80のバイポーラートランジスタエミッター領域を提供する。このn型炭化ケイ素の第1領域64は、n⁺炭化ケイ素の第1領域64を得るためにn型伝導層12より高いキャリア濃度をもつようにドーピングすることが好ましい。エミッター接点28が得られるように、n型炭化ケイ素64の第1領域上にオーム接点をも形成する。

絶縁層70が、第1層12上に、メサ82の側壁に隣接し、そこから離れた位置に形成される。MOSトランジスタのゲート接点72を得るために、絶縁層70上にオーム接点を形成する。この絶縁層70は好ましくは二酸化ケイ素などの酸化物層であるが、窒化ケイ素、窒化アルミニウムなど他の材料、または当業者に既知の他の絶縁材で作成されてもよい。

MOSバイポーラートランジスタ80には、n⁻ドリフト層12内にメサ82の側壁の底部に形成されて側壁からデバイスのゲート接点72の下方へ広がる、n⁺炭化ケイ素の第2領域86も含まれる。n⁺炭化ケイ素の第2領域86は、好ましくはn⁻ドリフト層12より高いキャリア濃度をもつようにドーピングされる。n⁺炭化ケイ素の第2領域86を、n⁺炭化ケイ素の第2領域86と導電性

ストラップ92が接触するように、ドリフト層12の表面に近接して形成することも好ましい。

炭化ケイ素のp型領域88および90も、p型ベース層14内にn⁺炭化ケイ素の第2領域86に隣接して、およびp型ベース層14内にメサ82のステップ84に形成される。炭化ケイ素のp型領域88は、n⁻ドリフト層12内に、n⁺炭化ケイ素の第2領域86の下方、そしてゲート接点72の下方へ広がる。炭化ケイ素のp型領域88および90は、好ましくはp型ベース層14より高いキャリア濃度をもつようにドーピングされる。さらに、炭化ケイ素のp型領域90は、n⁺炭化ケイ素の第2領域86を通して流れる電子をp型ベース層に注入す

るための正孔に変換するように形成される。炭化ケイ素のp型領域88は、ゲート絶縁層70に伴う電界クラウディングを少なくし、これによりMOS-バイポーラートランジスタ60のMOSトランジスタ部分のブロッキング電圧を高めるように形成される。MOS-バイポーラートランジスタ80には、n⁺炭化ケイ素の第2領域86を炭化ケイ素のp型領域90と電氣的に接続する導電性ストラップ74も含まれる。導電性ストラップ74はn⁺炭化ケイ素の第2領域86とp型ベース層14をも接続してもよく、これによりp型領域88がn⁺炭化ケイ素の第2領域86と同じ電位になる。

p型ベース層14は、約 10^{16} ～約 10^{18} cm⁻³のキャリア濃度、および約0.3～約5 μmの厚さをもつことが好ましい。第2のn⁺領域86は、好ましくは約1～約5 μmの幅であり、可能な限りわずかにゲートの下方へ広がるが、この距離は約0.5～約3 μmであつてもよい。また第2のn⁺領域86は、好ましくは約0.1～約0.5 μmの深さにまで広がる。n⁺領域86には、約 10^{18} cm⁻³より高いキャリア濃度が適切であろう。

p⁺領域88および90は約0.3～約2 μmの厚さであつて、領域88はゲート接点72の下方約3～約12 μmにまで広がることが好ましい。ただしp⁺領域88がゲート接点の下方へ広がる距離は、個々の用途に応じて変動するであろう。特に、ゲート接点の下方のp⁺領域88の間隔は、絶縁層70付近の電界を調節するのに利用できる。p⁺領域88の間隔が小さくなるのに伴って、絶縁層70付近の電界は小さくなるであろう。約1～約5 μmの間隔が適切であろう。

p⁺領域88および90には、約 10^{16} cm⁻³より高いキャリア濃度が適切である。好ましくは、ドリフト層12およびp⁺領域88のドーピングは、ドリフト層12がビルトイン電位によりp⁺/n接合を完全に失い、MOSゲートがゼロゲートバイアスになるように選択される。

図7には、本発明の第3の別形態を示す。この態様では、エピタキシャル形成したバイポーラートランジスタp型伝導性ベース領域を用い、図6の場合と同様にこのベース領域はメサの側壁にステップをもつメサとして形成される。図7

には、無ラッチアップ型パワーMOSバイポーラートランジスター200のユニットセルの組合わせを示す。本発明のこの別形態のユニットセルを図7の線G-G'とH-H'の間に示す。このユニットセルを線G-G'および線H-H'両方の周りに鏡面投影することにより、多重ユニットセルのデバイスを得ることができる。図7には多重ユニットセルデバイスの一部を示す。当業者に自明のとおり、本発明のユニットセルは単一ユニットセルデバイスの作成にも利用できる。

図7に示すように、本発明のMOSバイポーラートランジスター200には、図5および6に関して記載したように、n型伝導性炭化ケイ素のバルク単結晶炭化ケイ素基板10、およびn型伝導性炭化ケイ素の第1層12が含まれる。

第1層12の上に、p型ベース層を得るための第2層14を形成する。第2層14はエピタキシャル生長させることが好ましく、p型伝導性炭化ケイ素から形成され、デバイスのp型ベース層を形成する。図7に示すように、ステップ284を形成しかつn層12内へ広がる側壁をもつメサ282を形成するように、エピタキシャル層14をパターン化する。メサ282の側壁は好ましくは可能な限りわずかに層12内へ広がるが、約0.5 μ mの深さは許容できる。ステップ284からドリフト層12へ広がるメサ282の側壁は、メサの底部がステップ284におけるメサの幅より広くなるような勾配をもつように示してある。しかしこのような勾配は図7に示した本発明の態様に必要ではない。

図7に示した本発明の態様のMOSバイポーラートランジスターには、n型炭化ケイ素の第1領域64も含まれる。これは、p型ベース層14上にn型炭化ケイ素ドリフト層12の反対側の面に隣接して形成され、MOSバイポーラートランジスター200のバイポーラートランジスターエミッター領域を提供する。

このn型炭化ケイ素の第1領域64は、n⁺炭化ケイ素の第1領域64を得るためにn型伝導層12より高いキャリアー濃度をもつようにドーピングすることが好ましい。エミッター接点28が得られるように、n型炭化ケイ素64の第1領域上にオーム接点をも形成する。

絶縁層70が、第1層12上に、メサ82の側壁に隣接し、そこから離れた位

置に形成される。MOS トランジスタのゲート接点 72 を得るために、絶縁層 70 上にオーム接点を形成する。この絶縁層 70 は好ましくは二酸化ケイ素などの酸化物層であるが、窒化ケイ素、窒化アルミニウムなど他の材料、または当業者に既知の他の絶縁材で作成されてもよい。

MOS バイポーラートランジスタ 200 には、 n^- ドリフト層 12 内にメサ 282 の側壁の底部に形成されて側壁からデバイスのゲート接点 72 の下方へ広がる、 n^+ 炭化ケイ素の第 2 領域 206 も含まれる。 n^+ 炭化ケイ素の第 2 領域 206 は、好ましくは n^- ドリフト層 12 より高いキャリア濃度をもつようにドーピングされる。 n^+ 炭化ケイ素の第 2 領域 206 を、 n^+ 炭化ケイ素の第 2 領域 206 と導電性ストラップ 92 が接触するように、ドリフト層 12 の表面に近接して形成することも好ましい。

炭化ケイ素の p 型領域 208 および 90 も、 p 型ベース層 14 内に n^+ 炭化ケイ素の第 2 領域 206 に隣接して、および p 型ベース層 14 内にメサ 282 のステップ 284 に形成される。炭化ケイ素の p 型領域 208 は、 n^- ドリフト層 12 内に、 n^+ 炭化ケイ素の第 2 領域 206 の下方、そしてゲート接点 72 の下方へ広がる。炭化ケイ素の p 型領域 208 および 90 は、好ましくは p 型ベース層 14 より高いキャリア濃度をもつようにドーピングされる。さらに、炭化ケイ素の p 型領域 90 は、 n^+ 炭化ケイ素の第 2 領域 206 を通って流れる電子を p^- 型ベース層に注入するための正孔に変換するように形成される。炭化ケイ素の p 型領域 208 は、ゲート絶縁層 70 に伴う電界クラウディングを少なくし、これにより MOS バイポーラートランジスタ 200 の MOS トランジスタ部分のブロッキング電圧を高めるように形成される。

MOS バイポーラートランジスタ 200 には、 n^+ 炭化ケイ素の第 2 領域 206 を炭化ケイ素の p 型領域 90 と電気的に接続する導電性ストラップ 92 も

含まれる。導電性ストラップ 92 は、メサ 282 の側壁上に形成されてメサ 282 のステップ 284 へ広がった絶縁層 210 上に形成されることが好ましい。この絶縁層 210 は酸化物層であってもよい。導電性ストラップ 74 は n^+ 炭化ケイ素の第 2 領域 206 と p 型領域 208 をも接続してもよく、これにより p 型領

域208がn⁺炭化ケイ素の第2領域206と同じ電位になる。図7に示すように、p型領域208は好ましくはドリフト層12の露出面にまで広がり、これによりp型領域208、n型領域206およびp型領域90間に接点を形成することができる。たとえばp型領域208は、メサ282の底部付近の領域で露出するように形成されてもよく、メサ282の下方へ広がる必要はない。デバイスに必要な領域の量を少なくするために、p型領域208がメサ282の底部を過ぎて広がる距離を、前記の接続が可能な最小の大きさに維持することか好ましい。

p型ベース層14は、約 10^{16} ～約 10^{18} cm⁻³のキャリアー濃度、および約0.3～約5 μmの厚さをもつことが好ましい。第2のn⁺領域206は、好ましくは約1～約5 μmの幅であり、可能な限りわずかにゲートの下方へ広がるが、この距離は約0.5～約3 μmであつてもよい。また第2のn⁺領域206は、好ましくは約0.1～約0.5 μmの深さにまで広がる。n⁺領域206には、約 10^{18} cm⁻³より高いキャリアー濃度が適切であろう。

p⁺領域208および90は約0.3～約2 μmの厚さであつて、領域208はゲート接点72の下方約3～約12 μmにまで広がるのが好ましい。ただしp⁺領域208がゲート接点の下方へ広がる距離は、個々の用途に応じて変動するであろう。特に、ゲート接点の下方のp⁺領域208の間隔は、絶縁層70付近の電界を調節するのに利用できる。p⁺領域208の間隔が小さくなるのに伴って、絶縁層70付近の電界は小さくなるであろう。約1～約5 μmの間隔が適切であろう。p⁺領域208および90には、約 10^{16} cm⁻³より高いキャリアー濃度が適切である。好ましくは、ドリフト層12およびp⁺領域208のドーピングは、ドリフト層12がビルトイン電位によりp⁺/n接合を完全に失い、MOSゲートがゼロゲートバイアスになるように選択される。

図5、図6または図7の態様の作動は、図2および3に関して先に記載したデバイスと同様である。いずれのデバイスもバイポーラー伝導とMOSゲート制御

を組み合わせる炭化ケイ素デバイスを提供する。さらに、これらの別形態もゲート電圧をデバイスのエミッターの基準とすることができるn型炭化ケイ素基板を用いる。これらのデバイスでも、ドリフト層のp型打込み領域がMOSデバイス

のゲート絶縁層に与えられる電界を小さくする作用をするので、放電破壊電圧が高まる。さらに、これら別形態のMOSデバイスは蓄積モードデバイスであるので、炭化ケイ素の電子蓄積層移動度を利用することができる。したがって逆転層キャリア移動度の約20倍の電子蓄積層移動度を得ることができる。これにより、MOSデバイスのオン状態電圧を低くすることができる。

本発明によるデバイスのターンオンは、エミッター28を接地電位に維持した状態で、正のバイアスをコレクター30に印加し（約3～10V）、正のバイアスをゲート26に印加する（約15～40V）ことにより行われる。NMOSFETのソース66、86および206はオフ状態では浮動であり、動作時のエミッター電圧より約3V（p-n接合についての炭化ケイ素順バイアス電圧降下）高い。ゲート72の正のバイアスにより、nMOSFETをターンオンにすることができる。したがってデバイスのターンオンのためのゲート電圧（ V_g ）は $15V + V_t + 3V$ であろう。ここで V_t はMOSデバイスの閾値である。ソースに対し正のバイアスをゲートにかけると、コレクターからnpnトランジスタのベースへの電子の流路が形成され、これによりそのエミッター-ベース接合に順バイアスがかかる。npnトランジスタのターンオンにより小数キャリアを低ドープのドリフト領域に注入することによって、このデバイスを高い電流密度で作動できる。したがってこのデバイスによれば、比較的低い順電圧降下で高い電流密度が得られる。npnトランジスタへのベース電流はMOSトランジスタの飽和電流により制限され、その結果、LMBTの電流飽和特性が得られる。ゲート電圧が高いほどnpnトランジスタへのベース電流を高くすることができ、したがってLMBTの飽和電流がより高くなる。

ゲート電位をエミッター電位と同じにすると、このデバイスは順ブロッキングモードの動作に入る。これによりNMOSFETがターンオフになり、その結果npnトランジスタのベース電流がゼロに低下する。npnトランジスタの小数キャリアがそれらに固有の寿命に伴って減衰した後、デバイスは電流の流

れを止め、実質的なコレクター電圧を維持することができる。この電圧はpベース14-n⁻ドリフト領域12の接合、p⁺緩衝/ゲート酸化物-n⁻ドリフト領

域の接合により維持される。p⁺領域68、88および208は、デバイスの順ブロッキングモードの動作に際しゲート誘電体内に高い電界が生じるのを阻止する。

図6のデバイスの作成を、図7A～7Hに示す。本明細書中の考察からみて当業者に自明のとおり、図5のデバイスの作成方法は図6のデバイスの作成方法と同様であり、主な違いはメサおよびそれに対応する打込みの形成である。さらに、図7のデバイスの作成方法も同様であり、主な違いはn型領域およびp型領域のマスキング位置である。

図8Aに示すように、図5、6および7のデバイスを作成する際には、厚いn型層12をn⁺基板10上に、米国特許第4,912,064号（その開示内容全体を本明細書に援用する）に記載されるようなエピタキシャル生長方法により生長させる。あるいは前記のように、n⁻基板を用い、n⁺打込みを行って、n⁺層10とn⁻層12を得ることもできる。図8Bに示すように、第2のp型層14を第1のn型エピタキシャル層12上にエピタキシャル生長させる。次いでこのp型層14の上にn⁺領域64を形成する。このn⁺領域64は、イオン打込みまたはエピタキシャル生長により形成することができる。

図8Cには、n型領域64の上にマスク100を形成する、メサ形成の第1工程を示す。マスク100は、メサ82の上部の最大寸法に対応する幅に形成される。次いでn型領域64、p型層14およびマスク100をエッチングして、メサ82の上部を形成する。マスク100を、炭化ケイ素領域のエッチング速度と同様な速度でエッチングされる材料で形成することが好ましい。こうして、マスク100が炭化ケイ素の露出部分にまでエッチングされるのに伴って、勾配付き側壁が形成される。当業者に自明のとおり、マスク100をフォトリソで形成し、次いでエッチングに対し望ましい抵抗が得られるように選択的に加熱してもよい。たとえばマスク100が炭化ケイ素と同じ速度でエッチングされると、約45°の勾配をもつ側壁が形成されるであろう。勾配付き側壁は、米国特許第4,981,551号（その開示内容全体を本明細書に援用する）に記載される

反応性イオンエッチング法によりエッチングすることができる。

図8Dには、図8Cのマスキング領域のエッチングにより得られた第1メサ上での第2マスク102の形成を示す。図8Cのマスク100と同様に、図8Dのマスク102は、メサ82の底部の最大幅を定め、かつステップ部分84が得られるサイズである。次いで図8Dの構造体をエッチングすると、メサ82が完成する。このエッチングプロセスでは、マスク102がエッチングされ、かつp型層14を通してドリフト層12までエッチングされる。マスク100と同様に、マスク102はフォトリジストであってもよい。その際フォトリジストが炭化ケイ素のエッチング速度と対比してエッチングされる速度は、メサ82に勾配付き側壁を与えるように制御される。

図8Eに示すように、第3マスク104を用いるイオン打込みによりp領域88および90を形成することができる。マスク104は、p型領域88をデバイスのゲートの下方に配置するように、かつp型領域88がp型層14へ広がるように形成されることが好ましい。マスク104は、p型領域90をメサ82のステップ部分84に配置するように形成されることも好ましい。p⁺打込み領域88および90は、たとえば米国特許第5,087,576号（その開示内容全体を本明細書に援用する）に記載される方法で形成することができる。

図8Fに見られるようにp領域88および90を形成した後、マスク104を取り除き、n領域86形成のために第4マスク106を形成する。マスク106は、好ましくはn型領域86をデバイスのp型領域からゲートへ広がるように配置すべく形成される。次いで、マスク106を用いてイオン打込みによりn型領域86を形成する。n型領域86ならびにp領域88および90を形成した後、この構造体を好ましくは約1500℃より高い温度でアニーリングして、打込んだイオンを活性化する。

アニーリング後、デバイスを取り巻く分離メサをエッチング形成することにより、端を仕切ることができる。この分離メサ（図示されていない）は第2層14および第1層12を通して基板10内へ広がっていてもよい。あるいは、分離メサは第2層14を通して第1層12内へ広がっていてもよい。このような場合、露出したn⁻層12内に、約100Å～約5μmの深さにまで、かつ分離メサの

端から約5～約500 μ mの距離にイオンを打込むことができる。分離メサを取り巻く低ドーパ型領域を形成するために、約 5×10^{15} ～約 1×10^{17} cm⁻³のキャリア濃度を採用できる。

メサ82ならびにn型およびp型領域86、88および90を形成した後、図8Gに示すように、エピタキシャル構造上に絶縁/酸化物層70を形成する。絶縁層70には、好ましくは熱酸化法、たとえば“炭化ケイ素中の酸化物層における欠陥を減らす方法”と題する同一出願人による米国特許出願第08/554,319号（その開示内容全体を本明細書に援用する）に記載された方法、または酸化物析出法、たとえば米国特許第5,459,107号および米国特許出願第08/554,319号（それらの開示内容全体を本明細書に援用する）に記載された方法を用いる。熱酸化法を用いる場合に好ましい態様は、たとえば米国特許第5,506,421号（その開示内容全体を本明細書に援用する）に記載されたカーボン表面加工ウェーハを用いるものである。

絶縁/酸化物層70を形成した後、この層をエッチングして、導電性ストラップ92、ゲート接点72およびエミッター接点28を形成するための開口を形成する。本発明デバイスの接点形成を図8Hに示す。ゲート接点は、絶縁/酸化物層70上に導電層を析出させ、次いでこの導電層をパターン化することにより形成できる。図8Hに示すように、ゲート材料72（好ましくはモリブデン）を絶縁層70上に析出させ、n型領域86の一部の上方へ広がるようにパターン化する。絶縁層70に開口を形成し、次いでニッケルその他の適切な接点材料を層14の露出部分上に析出させることにより、エミッター接点28と任意の導電性ストラップ34を同時に形成できる。最後に、ニッケルその他の適切な接点材料を析出させることにより、基板の露出面にコレクター接点30を形成する。

以上に図5～8Hに関して記載した各態様において、基板および各層は6H、4H、15Rまたは3C炭化ケイ素の群から選択される炭化ケイ素で形成できるが、前記の各デバイスには4H炭化ケイ素が好ましい。オーム接点に好ましい金属には、ニッケル、ケイ化タンタルおよび白金が含まれる。あるいは、アルミニウム/チタン接点も本発明のオーム接点を形成するために使用できる。これら特定の金属を記載したが、炭化ケイ素とのオーム接点を形成する、当業者に既知の

他のいかなる金属も使用できる。

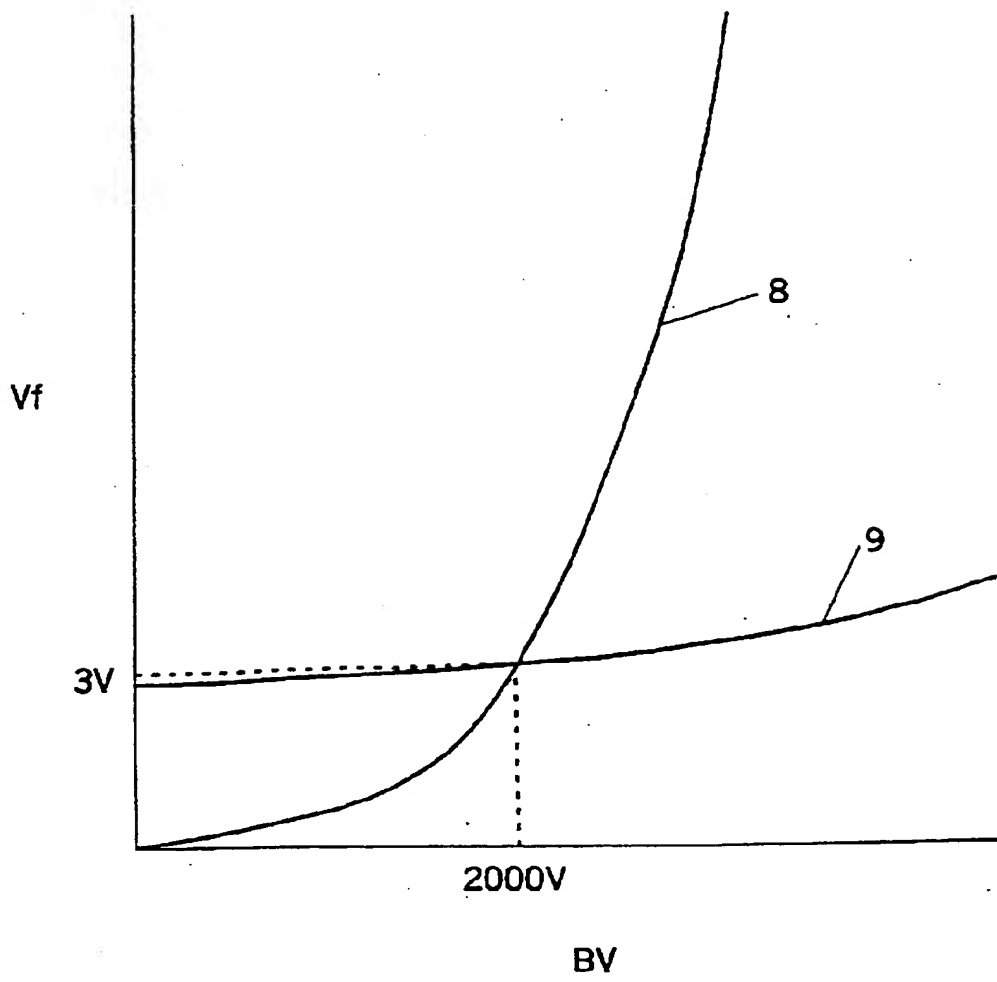
前記デバイスのエピタキシャル層および打込み領域のキャリア濃度またはドーピング量に関しては、 p^+ または n^+ 伝導型の領域およびエピタキシャル層は、過度の加工欠陥を生じることなく可能な限り強くドーピングすべきである。 p 型領域を得るのに適したドーパントには、アルミニウム、ホウ素またはガリウムが含まれる。 n 型領域を得るのに適したドーパントには、窒素およびリンが含まれる。アルミニウムは p^+ 領域に好ましいドーパントであり、上記に述べた高温イオン打込みを用いて、約 1000°C ～約 1500°C 、好ましくは約 1500°C より高い温度でアルミニウムを p^+ 領域に打込むことが好ましい。 n エピタキシャル層には最高約 $3 \times 10^{17} \text{ cm}^{-3}$ のキャリア濃度が適しているが、約 $3 \times 10^{16} \text{ cm}^{-3}$ 以下のキャリア濃度が好ましい。

当業者に自明のとおり、エピタキシャル層12および14の厚さはデバイスの目的とする動作特性に依存するであろう。さらにこれらの動作特性は、多重セルデバイスに用いるユニットセルの個数およびユニットセルの幾何学的形状により影響されるであろう。ゲートの幅もデバイスの目的とする動作特性、それらの動作特性を得るために用いるユニットセルの個数、およびユニットセルに採用する幾何学的形状自体に依存するであろう。

図面および明細書には、本発明の典型的な好ましい態様を開示し、具体的な用語を用いたが、それらは全般的に説明のために用いたにすぎず、限定のためのものではない。本発明の範囲は以下の請求の範囲に記載される。

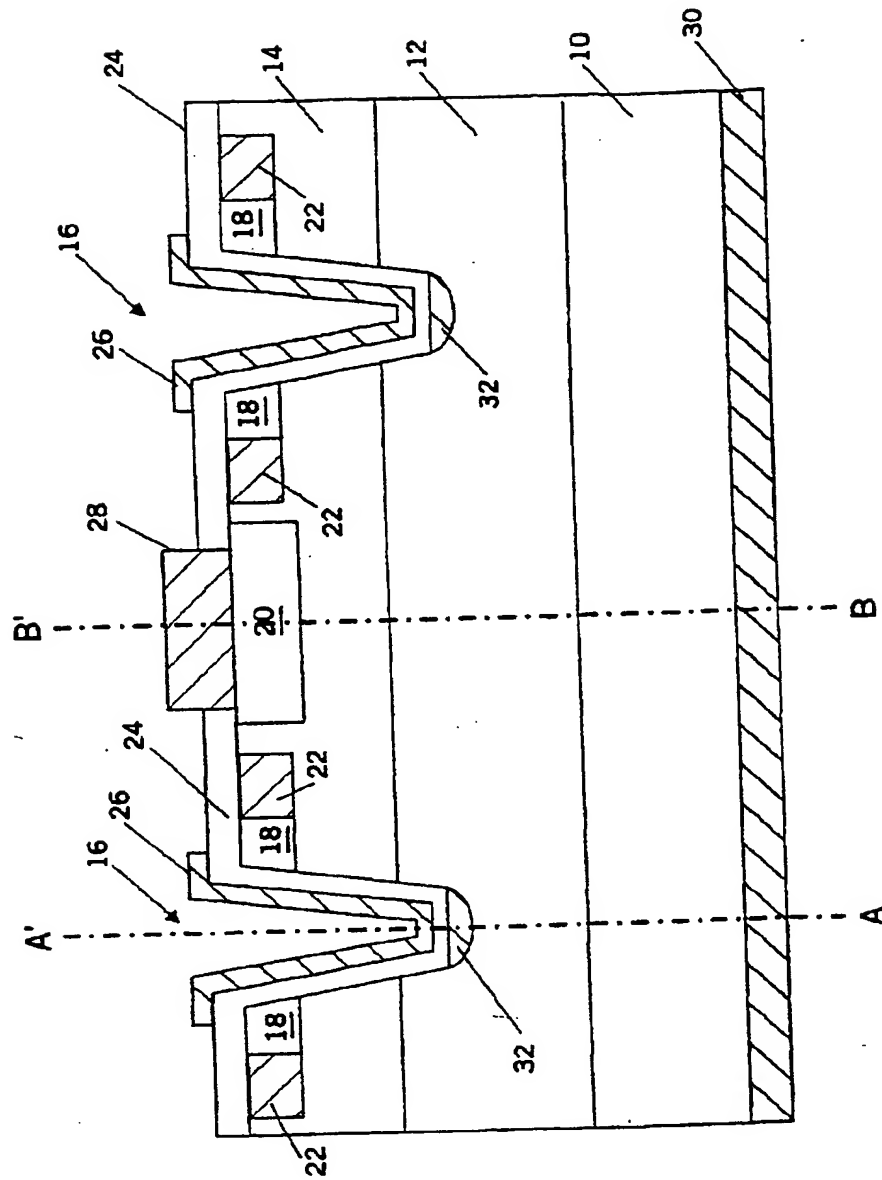
【図 1】

FIG. 1



【図2】

FIG. 2



【図4】

FIG. 4A

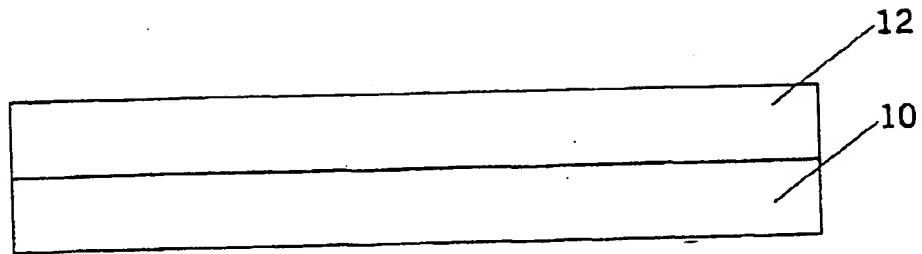


FIG. 4B

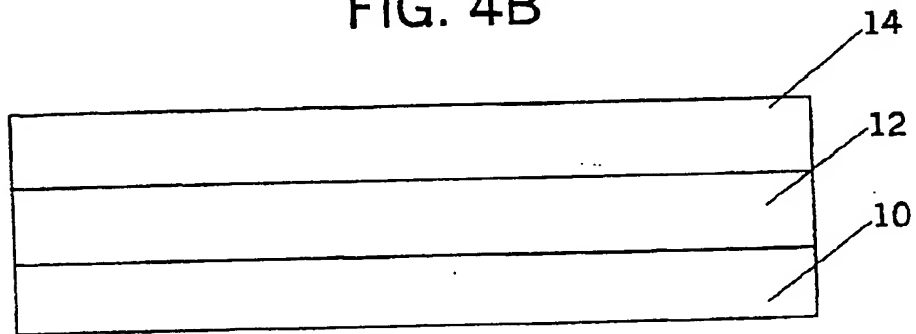
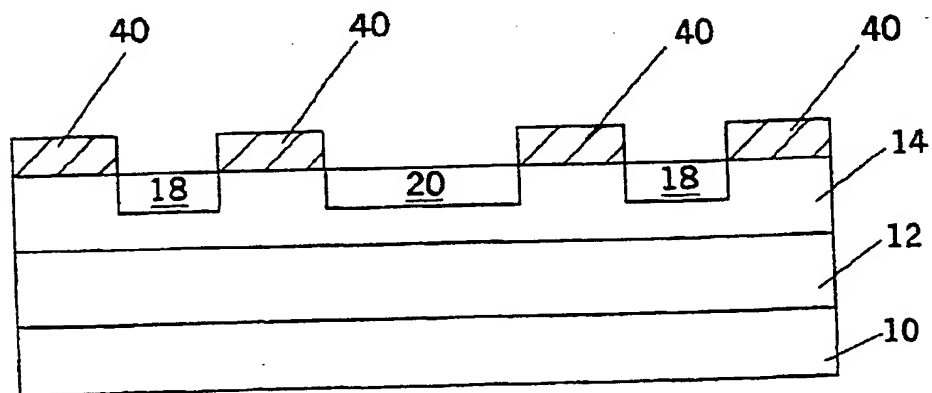


FIG. 4C



【図 4】

FIG. 4D

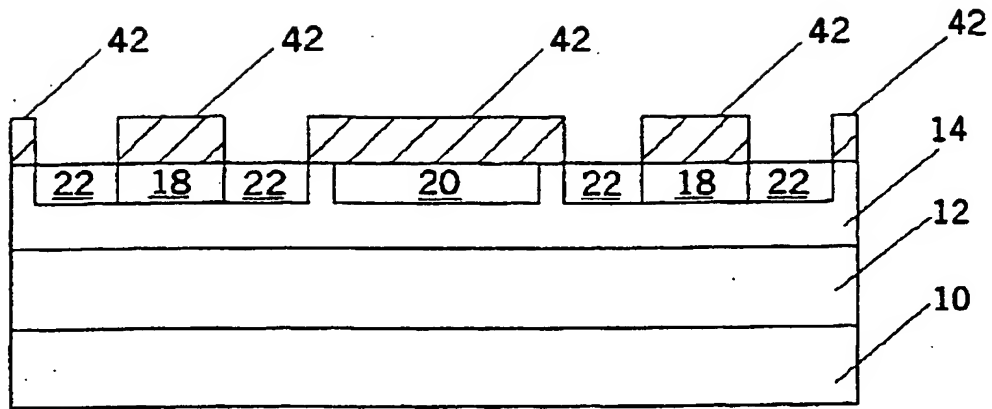
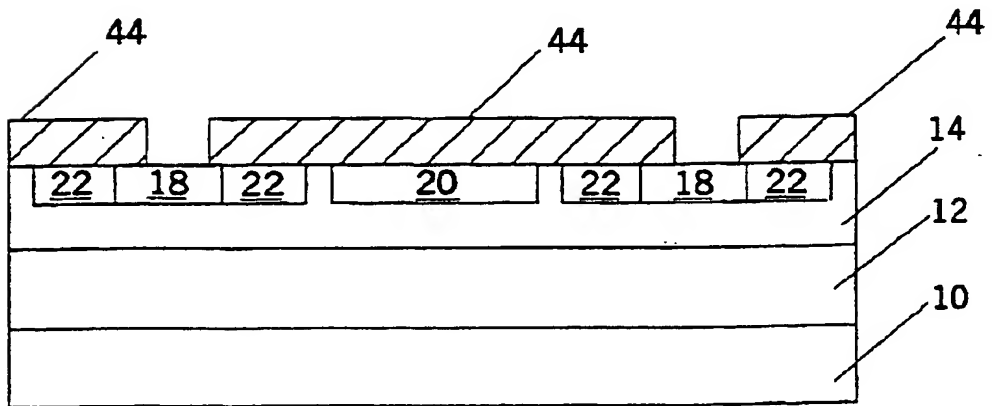
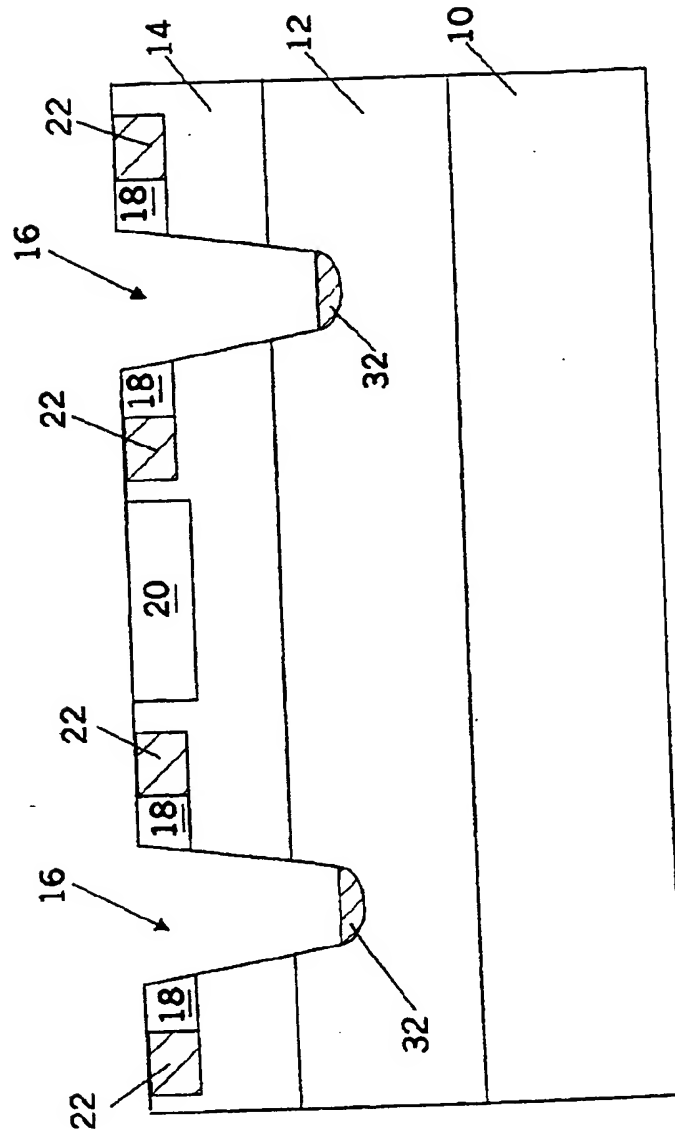


FIG. 4E



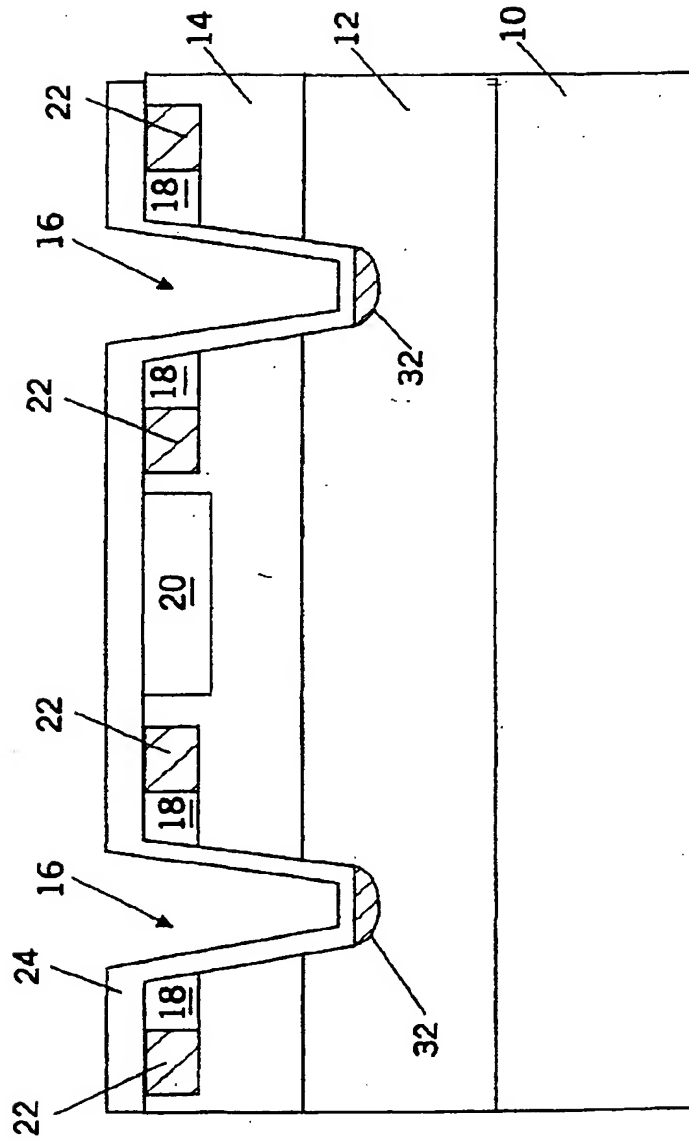
【図 4】

FIG. 4F



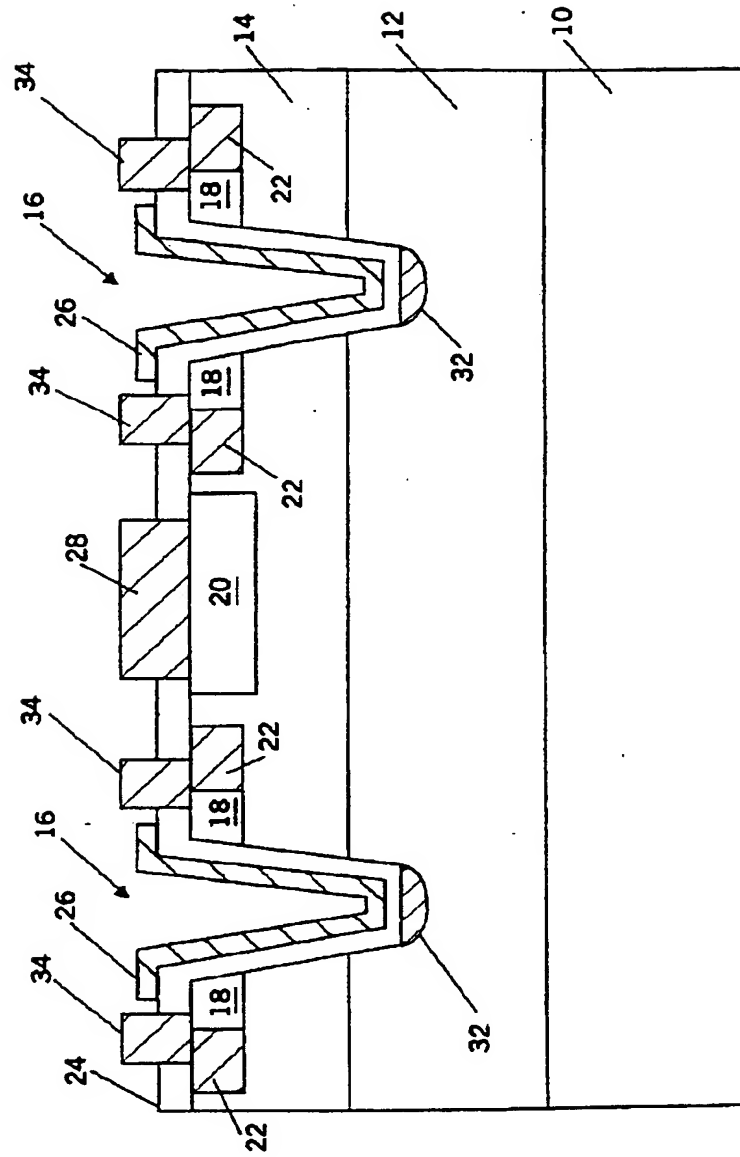
【図4】

FIG. 4G



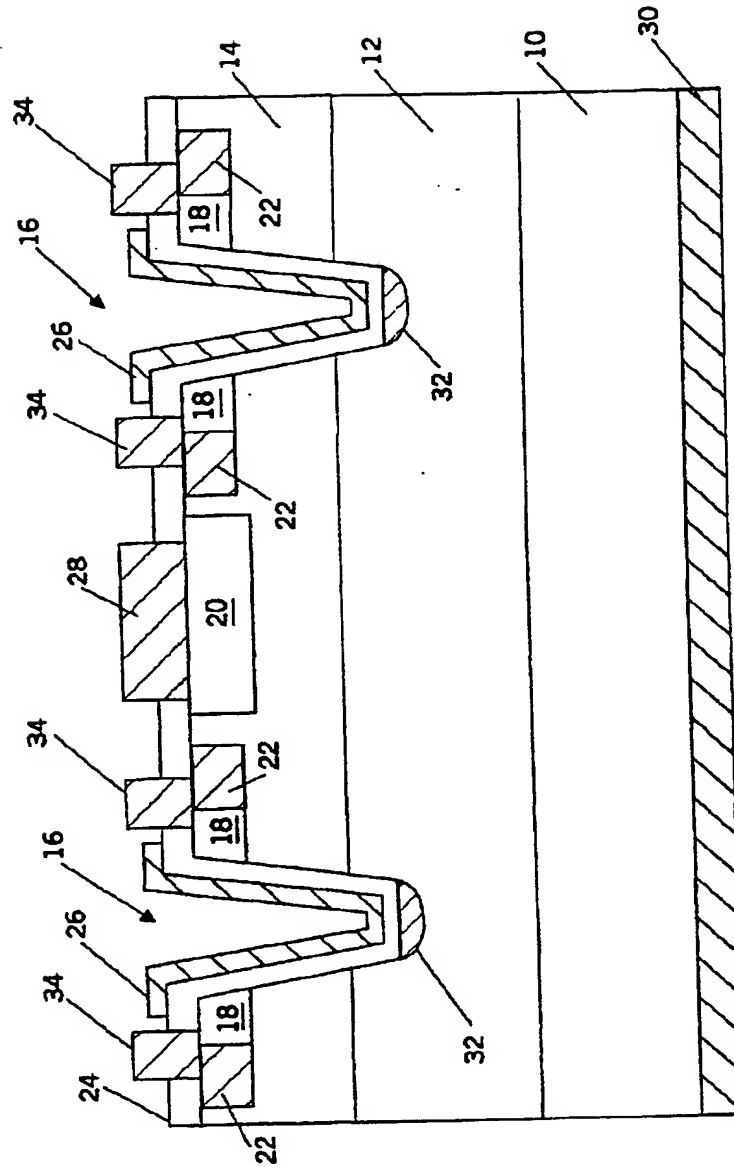
【図 4】

FIG. 4I

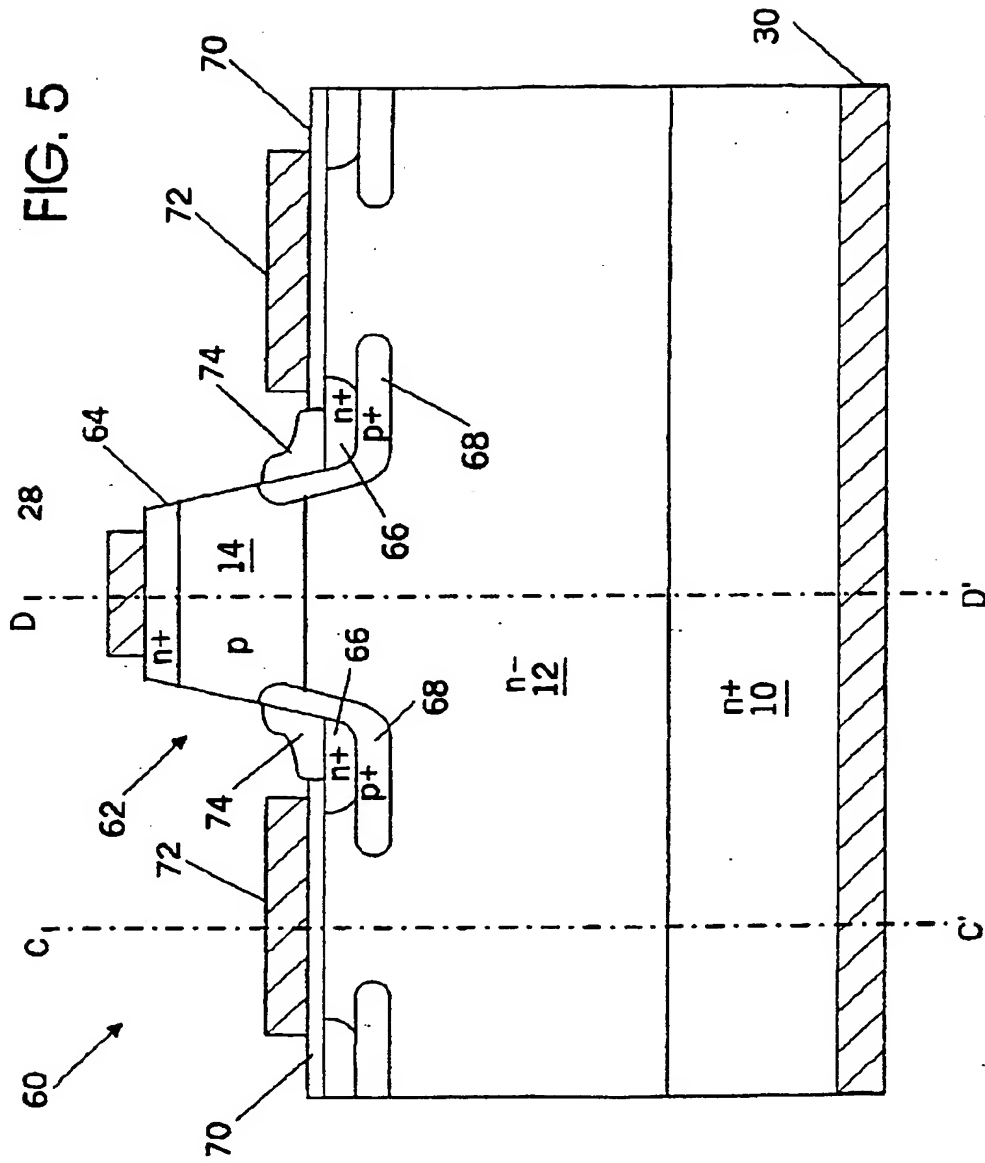


【図 4】

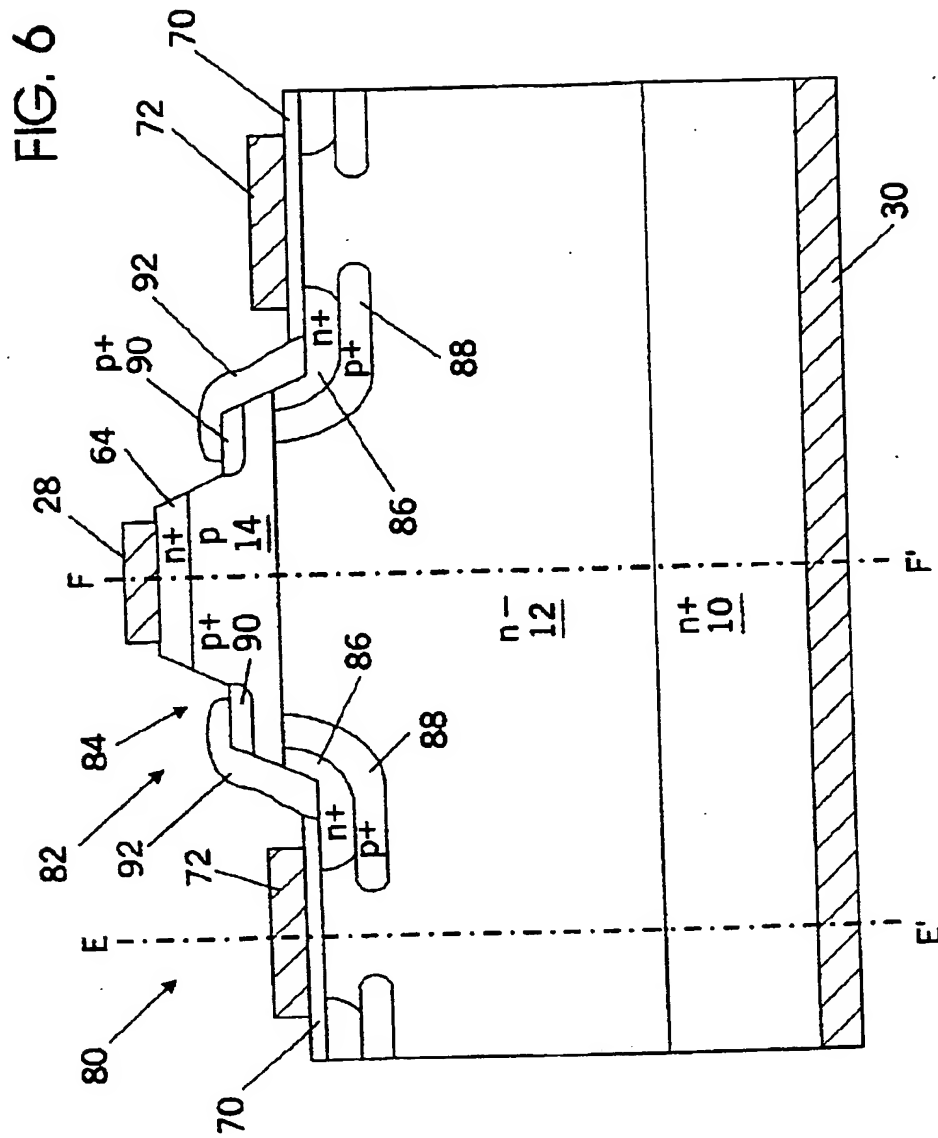
FIG. 4J



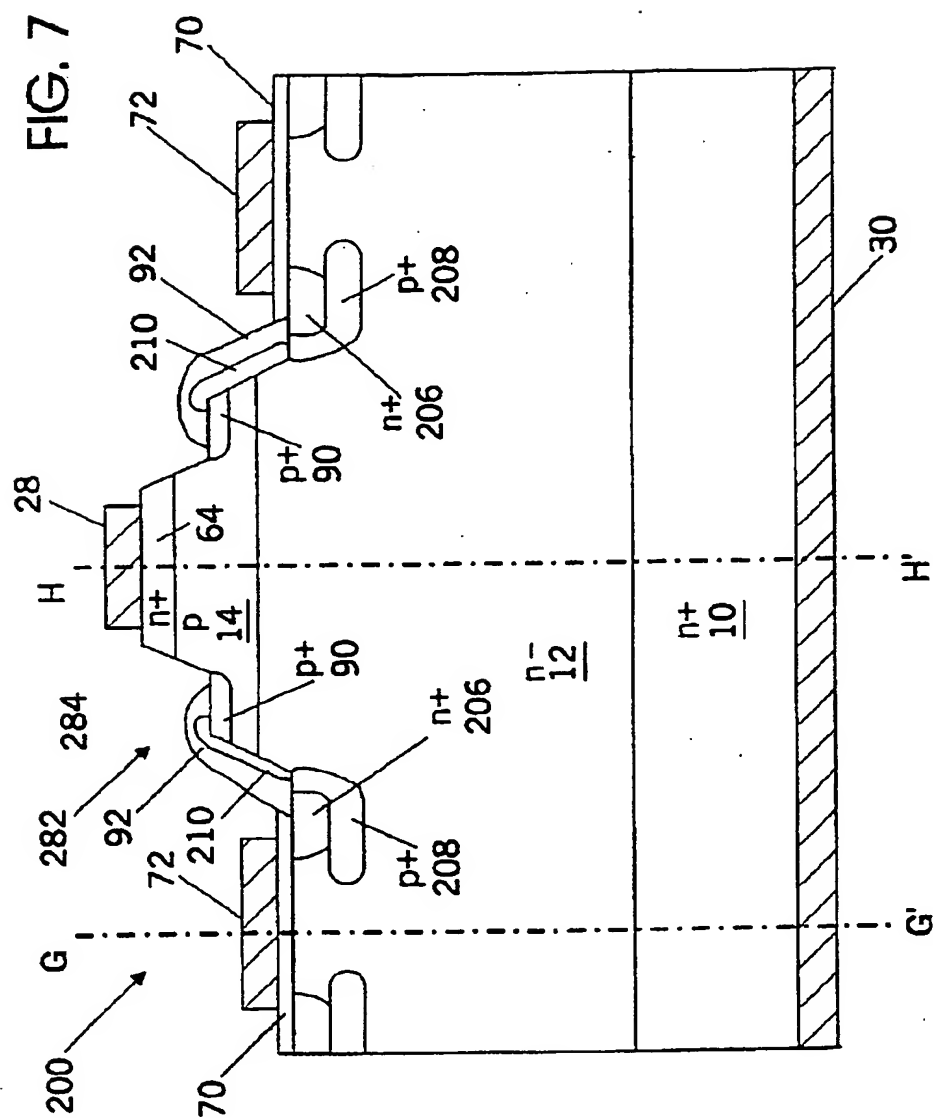
【图 5】



【図 6】



【図 7】



【図8】

FIG. 8A

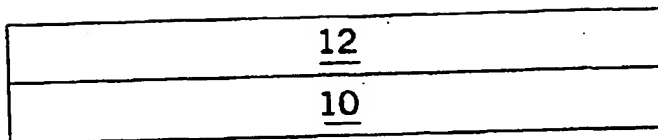


FIG. 8B

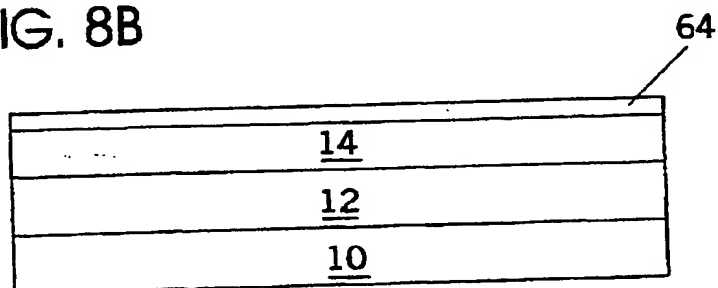
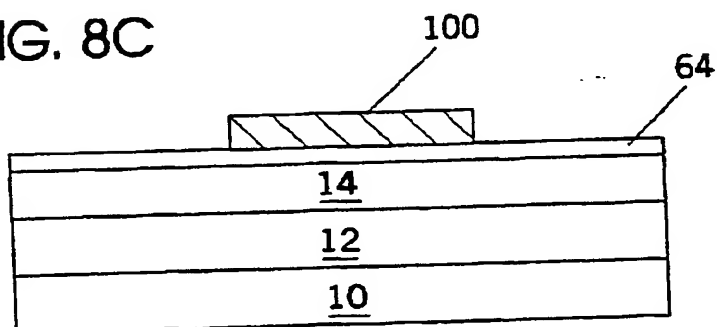


FIG. 8C



【図 8】

FIG. 8D

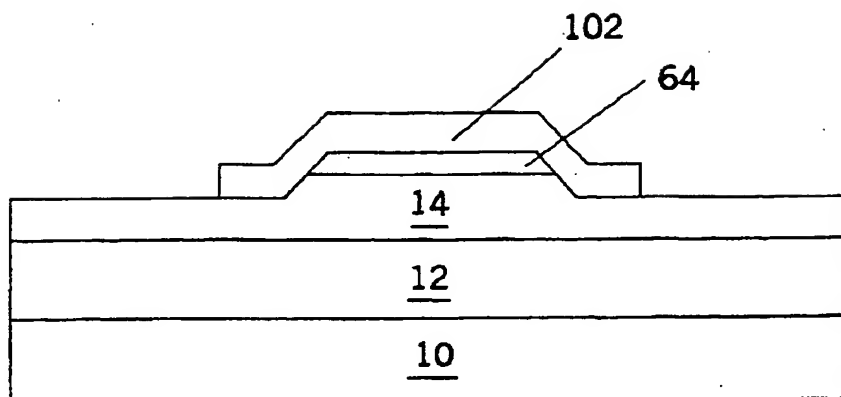
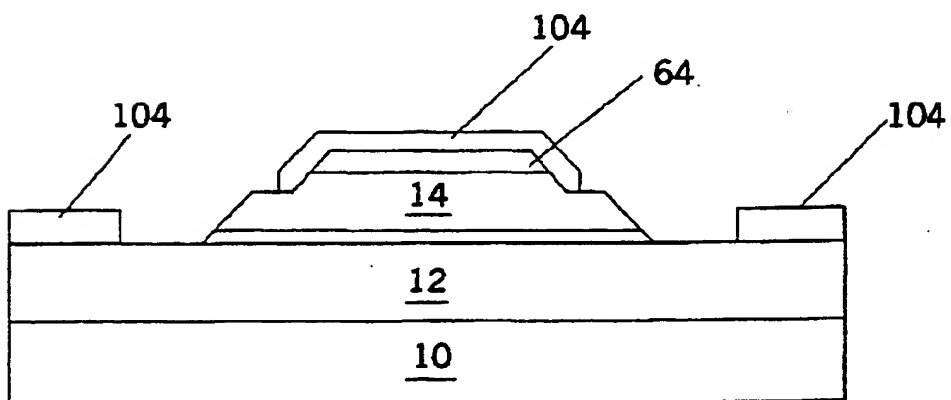
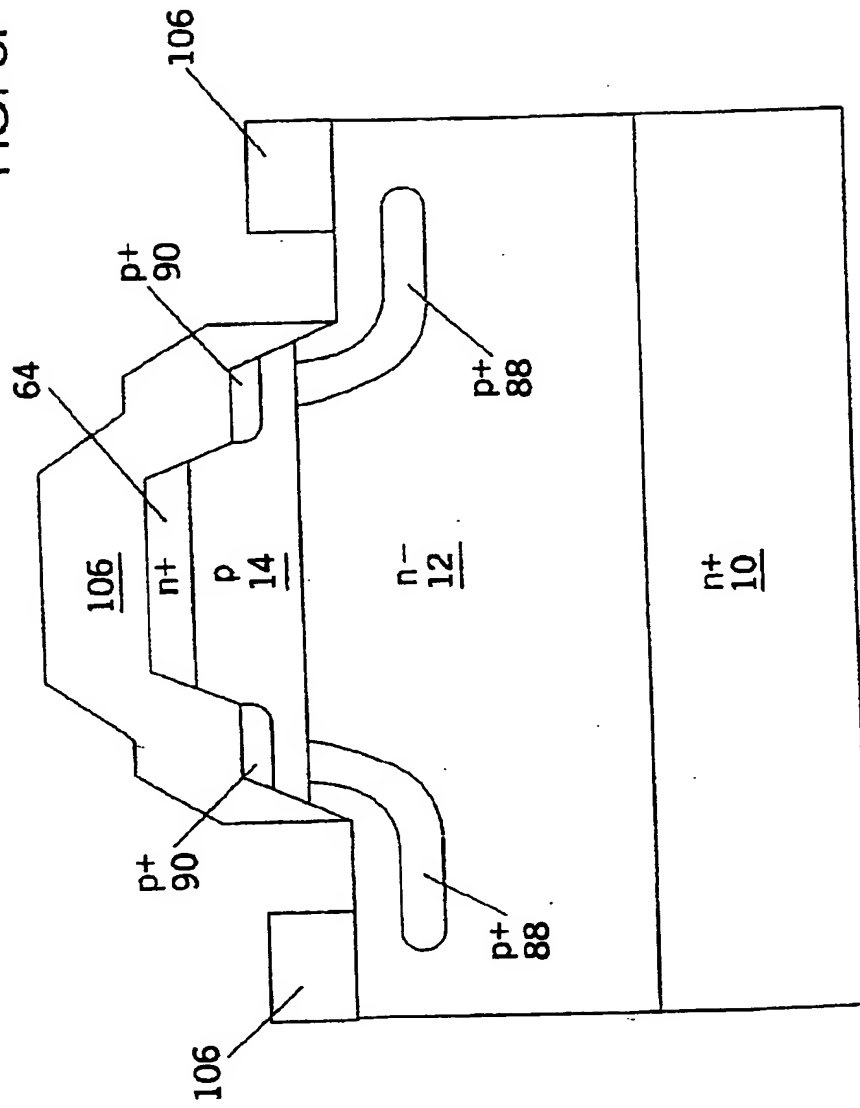


FIG. 8E



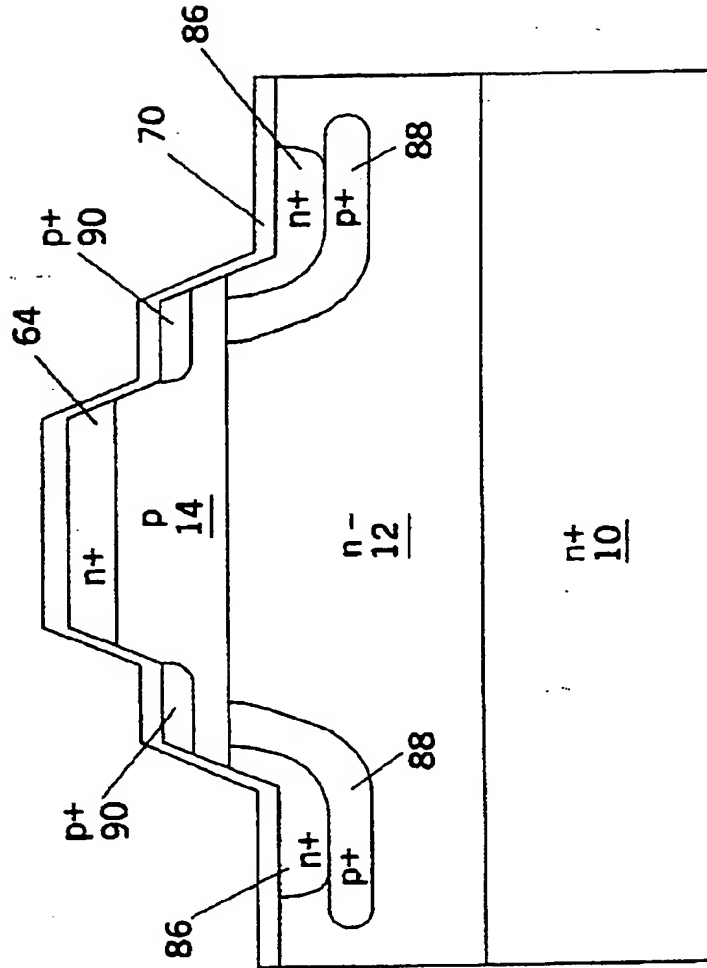
【图8】

FIG. 8F



【図 8】

FIG. 8G



【図 8】

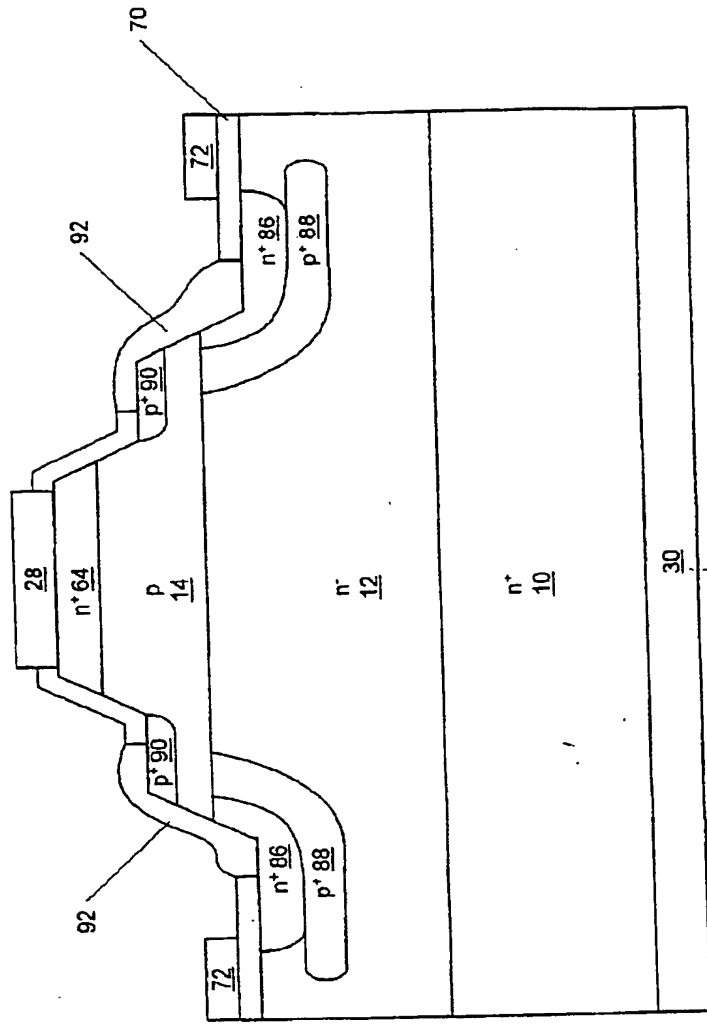


Figure 8H

【国際調査報告】

INTERNATIONAL SEARCH REPORT

Inter. Appl. No. PCT/US 98/12007		
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L29/73 H01L29/24		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document with indication, where appropriate, of the relevant passages Relevant to claim no.	
X	FR 2 524 711 A (GEN ELECTRIC) 7 October 1983 see page 22, column 25 - column 34; figure 8 see page 32, column 13 - column 25	1,4,6,8, 15,16,37
A	US 4 945 394 A (PALMOUR JOHN W ET AL) 31 July 1990 see abstract; figures	1
X	PARPIA Z ET AL: "A novel CMOS-compatible high-voltage transistor structure", IEEE TRANSACTIONS ON ELECTRON DEVICES, DEC. 1986, USA, VOL. ED-33, NR. 12, PAGE(S) 1948 - 1952, ISSN 0018-9383 XP002077165 see abstract; figure 2 --- -/--	1.6
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special categories of cited documents : * A* document defining the general state of the art which is not considered to be of particular relevance * E* earlier document but published on or after the international filing date * L* document which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) * O* document referring to an oral disclosure, use, exhibition or other means * P* document published prior to the international filing date but later than the priority date claimed * T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention * X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone * Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art * Z* document member of the same patent family		
Date of the actual completion of the international search 16 September 1998		Date of mailing of the international search report 30/09/1998
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Mimoun, B

INTERNATIONAL SEARCH REPORT

Inter. Appl. Application No.
PCT/US-98/12007

C. (Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	E M SANKARA NARAYANAN: "CMOS COMPATIBLE 250 V LATERAL INSULATED BASE TRANSISTORS" 22 April 1991, PROCEEDINGS OF THE INTERNATIONAL SYMPOSIUM ON POWER SEMICONDUCTOR DEVICES AND IC'S, BALTIMORE, APRIL 22 - 24, 1991, NR. SYMP. 3, PAGE(S) 181 - 186, AYMAN SHIBIB; JAYANT BALIGA XP000218965 see the whole document	1,6
X	US 5 331 194 A (UENO KATSUNORI) 19 July 1994 see abstract; figure 1	1
A	KENNETH O ET AL: "PMOS INPUT MERGED BIPOLAR/SIDEWALL MOS TRANSISTORS (PBIMOS TRANSISTORS)" 1 February 1991, IEEE ELECTRON DEVICE LETTERS, VOL. 12, NR. 2, PAGE(S) 68 - 70 XP000165555 see the whole document	1,4,5
A	PATENT ABSTRACTS OF JAPAN vol. 010, no. 285 (E-441), 27 September 1986 - & JP 61 104667 A (OKI ELECTRIC IND CO LTD), 22 May 1986 see abstract	2

Form PCT/ISA210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 98/12007

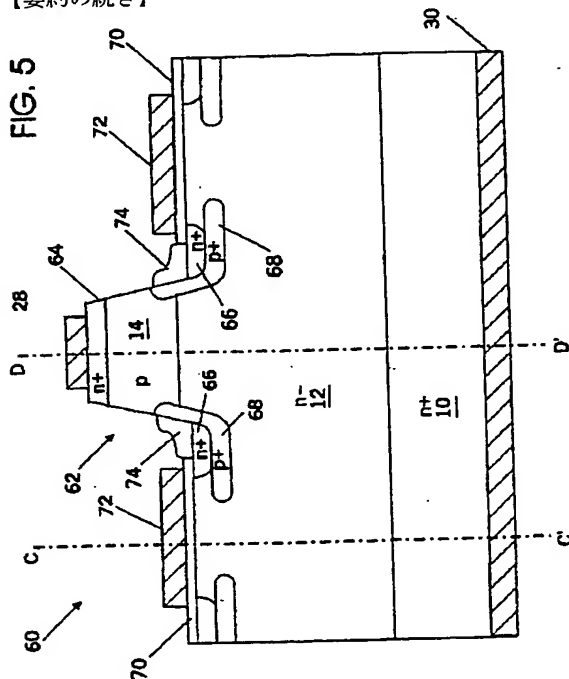
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
FR 2524711 A	07-10-1983	US 5014102 A	07-05-1991
		JP 1752482 C	08-04-1993
		JP 4039770 B	30-06-1992
		JP 58212168 A	09-12-1983
US 4945394 A	31-07-1990	NONE	
US 5331194 A	19-07-1994	JP 5121425 A	18-05-1993

Form PCT/ISA/210 (patent family annex) (July 1992)

フロントページの続き

- (31) 優先権主張番号 09/082,554
 (32) 優先日 平成10年5月21日(1998. 5. 21)
 (33) 優先権主張国 米国 (US)
 (81) 指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, GW, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW

【要約の続き】



【公報種別】特許法第17条第1項及び特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成15年5月13日(2003.5.13)

【公表番号】特表2002-514355(P2002-514355A)

【公表日】平成14年5月14日(2002.5.14)

【年通号数】

【出願番号】特願平11-503147

【国際特許分類第7版】

H01L 29/78 652

21/331

29/73

29/78 653

654

【FI】

H01L 29/78 652 T

653 A

654 Z

29/72

手続補正書

平成14年12月16日

特許庁長官 殿

1. 事件の表示

平成11年 特許願 第503147号

2. 補正をする者

名 称 クリー インコーポレイテッド

3. 代理人

住 所 東京都千代田区大手町二丁目2番1号 新大手町ビル206区

ユアサハラ法律特許事務所

電 話 3270-6641~6646

氏 名 (8970) 弁理士 社 本 一 夫



4. 補正対象書類名

請求の範囲

5. 補正対象項目名

請求の範囲

6. 補正の内容

別紙の通り

請求の範囲

1. 下記のものを含む、MOSバイポーラートランジスタのユニットセル：
n型バルク半結晶炭化ケイ素基板；
n型伝導性バルク半結晶炭化ケイ素基板に隣接したn型炭化ケイ素ドリフト層であって、n型炭化ケイ素基板より低いキャリアー濃度を有するn型ドリフト層；
n型炭化ケイ素ドリフト層上にあるp型炭化ケイ素ベース層；
p型ベース層内にある炭化ケイ素の第1のn型領域；
p型ベース層内にあり、ベース層および第1のn型領域を通過して広がってドリフト層に達したゲート溝であって、第1のn型領域の一部をゲート溝の側壁の一部とするゲート溝；
ゲート溝の底および側壁上にある絶縁層；
ベース層内に、ゲート溝に隣接してそこから離れた位置にある、炭化ケイ素の第2のn型伝導領域；
絶縁層上にあり、第1のn型領域の一部の上方に広がるゲート接点；
ドリフト層の反対側の炭化ケイ素基板面上にあるコレクター接点；
ベース層内に、第1のn型領域と第2のn型領域の間に配置された炭化ケイ素のp型領域であって、p型ベース層のキャリアー濃度より高いキャリアー濃度を有し、第1のn型領域を通過して流れる電子をp型ベース層に注入するための正孔に変換するように形成されたp型領域；ならびに
炭化ケイ素の第2のn型領域上にあるエミッター接点。

2. さらに、

ゲート溝の底のn型炭化ケイ素ドリフト領域にあり、p型ベース層のキャリアー濃度より高いキャリアー濃度を有する、炭化ケイ素のp型領域(32)を含む、請求項1記載のユニットセル。

3. p型領域が第1のn型領域とp-n接合を形成し、これによりトンネルダイオードが設けられた、請求項1または2記載のユニットセル。

4. さらに、

p型領域と第1のn型領域との間を電気的に接続する、第1のn型領域とp型領域の間の導電性ストラップ(34)

を含む、請求項1、2または3記載のユニットセル。

5. 下記のものを含む、MOSバイポーラートランジスタのユニットセル:

n型バルク単結晶炭化ケイ素基板(10);

n型伝導性バルク単結晶炭化ケイ素基板に隣接したn型炭化ケイ素ドリフト層であって、n型炭化ケイ素基板より低いキャリアー濃度を有するn型ドリフト層(12);

n型炭化ケイ素ドリフト層上に形成されたp型エピタキシャル炭化ケイ素ベース層(14);

p型ベース層内に、n型炭化ケイ素ドリフト層と反対側の面に隣接して形成された炭化ケイ素の第1のn型領域(64);

p型エピタキシャル炭化ケイ素ベース層は、p型エピタキシャル炭化ケイ素ベース層を有するn型ドリフト層にまで広がった側壁を有するメサとして形成されている;

n型ドリフト層上に、側壁に隣接して、それから離れた位置に形成された絶縁層(70);

ドリフト層内に、メサの側壁に隣接して形成された炭化ケイ素の第2のn型伝導領域であって、ドリフト層より高いキャリアー濃度を有する第2のn型伝導領域(66, 86, 206);

絶縁層上にあり、第2のn型領域の一部の上に広がるゲート接点(72);

ドリフト層の反対側の炭化ケイ素基板上にあるコレクター接点(30);

ベース層内にある炭化ケイ素の第1のp型領域(68, 88, 90, 208)、および第2のn型領域に隣接して形成されてn型ドリフト領域内および第2のn型伝導領域の下方、そしてゲート接点の下方へ広がる第2のp型領域; これらの第1および第2領域は電気的に接続し、p型エピタキシャルベース層のキャリアー濃度より高いキャリアー濃度を有し、第1のp型領域は第1のn型領域を通過して流れる電子をp型ベース層に注入するための正孔に変換するように形成されている;

14. p型ベース層が約0.3〜約5μmの厚さを有する、請求項1〜13のいずれか1項記載のユニットセル。

15. n型ドリフト領域が約3〜約500μmの厚さを有する、請求項1〜14のいずれか1項記載のユニットセル。

16. n型ドリフト領域が約 10^{12} 〜約 10^{17} cm⁻³のキャリアー濃度を有する、請求項1〜15のいずれか1項記載のユニットセル。

17. p型ベース層が約 10^{14} 〜約 10^{18} cm⁻³のキャリアー濃度を有する、請求項1〜16のいずれか1項記載のユニットセル。

18. 請求項1〜17のいずれか1項記載の複数のユニットセルを含む、MOSゲートバイポーラートランジスタ。

19. MOSバイポーラートランジスタの製造方法であって、n型伝導性バルク単結晶炭化ケイ素基板(10)上にn型炭化ケイ素ドリフト層(12)を形成し、このn型炭化ケイ素ドリフト層はn型炭化ケイ素基板より低いキャリアー濃度を有し;

n型炭化ケイ素ドリフト層上にp型炭化ケイ素ベース層(14)を形成し;

p型ベース層内に炭化ケイ素の第1のn型領域(18)を形成し;

p型ベース層内に形成されてベース層および第1のn型領域を通過してドリフト層内へ広がった第1ゲート溝(16)を形成し、これによりこのn型領域の一部をゲート溝の側壁の一部とし;

ゲート溝の底部および側壁上に形成される絶縁層(24)を形成し;

ベース層内に、ゲート溝に隣接してそこから離れた位置に形成される炭化ケイ素の第2n型伝導領域(20)を形成し;

絶縁層上に形成されて第1のn型領域の一部の上に広がるゲート接点(26)を形成し;

ドリフト層の反対側の炭化ケイ素基板上に形成されるコレクター接点(30)を形成し;

ベース層内に、第1のn型領域と第2のn型領域の間に配置された炭化ケイ素のp型領域(22)であって、p型ベース層のキャリアー濃度より高いキャリアー濃度を有し、第1のn型領域を通過して流れる電子をp型ベース層に注入するた

め、側壁の底部に、第2のn型伝導領域を炭化ケイ素の第1のp型領域と電気的に接続するように形成された導電性ストラップ(74, 92); ならびに炭化ケイ素の第2のn型領域上にあるエミッター接点(28)。

6. p型炭化ケイ素の第1および第2領域が、ベース層内にメサの側壁および第2のn型伝導領域に隣接して形成されてゲート接点の下方へ広がったp型炭化ケイ素の連続領域を含む、請求項5記載のユニットセル。

7. 側壁が約60°未満の勾配を有する、請求項5または6記載のユニットセル。

8. 側壁の勾配は、ドリフト層内の予め定めた深さにp型イオンが打込まれたとき炭化ケイ素の第2のp型領域が得られるように選択された、請求項5、6または7記載のユニットセル。

9. 側壁はメサの側壁にステップが得られるように2つの側壁を含む;

炭化ケイ素の第1および第2のp型領域は

p型エピタキシャルベース層内にこのステップに隣接して形成された炭化ケイ素の第1のp型領域(90); および

n型ドリフト層内に第2のn型伝導領域(86, 206)に隣接して形成され、ゲート接点の下方のn型ドリフト層内へ広がり、そしてp型ベース層へ広がった、炭化ケイ素の第2のp型領域(88, 208)

を含む、請求項5、6、7または8記載のユニットセル。

10. 第2のp型領域がドリフト層の表面に露出するように形成され、導電性ストラップが第1のp型領域を第2のp型領域および第2のn型領域と接続した、請求項9記載のユニットセル。

11. さらに、メサの側壁上にドリフト層とステップの間に形成されてステップ上へ広がった絶縁層(210)を含む、導電性ストラップがこの絶縁層上に形成された、請求項10記載のユニットセル。

12. 第2のp型領域がゲート接点の下方へ約3〜約12μmの距離に広がった、請求項5〜11のいずれか1項記載のユニットセル。

13. 第2のn型伝導領域がn型ドリフト層内へ約0.3〜約5μmの深さにまで形成された、請求項5〜12のいずれか1項記載のユニットセル。

め、正孔に変換するように形成されるp型領域を形成し;そして

炭化ケイ素の第2のn型領域上に形成されるエミッター接点(28)を形成することを含む方法。

20. さらに、

ゲート溝の底のn型炭化ケイ素ドリフト領域に形成され、p型ベース層のキャリアー濃度より高いキャリアー濃度を有する、炭化ケイ素のp型領域(32)を形成する

工程を含む、請求項19記載の方法。

21. p型領域を形成する工程が、第1のn型領域とp-n接合を形成するp型領域を形成してこれによりトンネルダイオードを設ける工程を含む、請求項19または20記載の方法。

22. さらに、

p型領域と第1のn型領域との間を電気的に接続するように第1のn型領域とp型領域の間に導電性ストラップ(34)を形成する

工程を含む、請求項19記載の方法。

23. n型伝導性バルク単結晶炭化ケイ素基板上にn型炭化ケイ素ドリフト層を形成する工程が、基板およびこの基板内のドリフト層のキャリアー濃度より高いキャリアー濃度の領域を設けるように炭化ケイ素基板にイオンを打込む工程を含む、請求項19記載の方法。

24. MOSバイポーラートランジスタの製造方法であって、

n型伝導性バルク単結晶炭化ケイ素基板(10)上にn型炭化ケイ素ドリフト層(12)を形成し;

n型炭化ケイ素ドリフト層上にp型炭化ケイ素ベース層(14)を形成し;

ベース層に炭化ケイ素のn型領域(18, 20)が形成されるように第1マスクを通してイオンを打込み、これによりエミッター領域およびドレイン領域を設け;

ソース領域に隣接して炭化ケイ素のp型領域(22)が形成されるように第2マスクを通してイオンを打込み;

溝(16)を、n型ソース領域の一部を通り、ベース層を通過してドリフト層にまでエッチングして、ゲート溝を設け；

ベース層および溝の露出面上に絶縁層(24)を形成し；

溝内およびベース層上に、ゲート接点が形成されるようにオーミック接点(26)を形成およびパターン化し；

絶縁層の一部を取り除いて、ベース層内に形成されたエミッターを露出させ；

露出したエミッター領域上にエミッター接点(28)を形成し；そして

ドリフト層の反対側の炭化ケイ素基板面上に電源／エミッター接点(30)を形成する

ことを含む方法。

25. マスキング層を通して打込む工程の後、得られた構造体を約1500℃より高い温度でアニーリングする工程を行う、請求項24記載の方法。

26. さらに、n型ドリフト層内に溝の底の下方に炭化ケイ素のp型領域を形成する工程を含む、請求項24または25記載の方法。

27. さらに、

ベース層内に形成された、より高いキャリア濃度を有するn型ソース領域およびp型領域の一部を露出させ；

露出したn型ソース領域およびp型領域の上に、n型ソース領域をp型領域に電気的に接続するための導電性ストラップ(34)を形成する

工程を含む、請求項24、25または26記載の方法。

28. n型伝導性バルク単結晶炭化ケイ素基板の上にn型炭化ケイ素ドリフト層を形成する工程が、

n型炭化ケイ素基板を形成し；そして

より高いキャリア濃度の領域が基板内に得られかつドリフト層が基板内に得られるように、炭化ケイ素基板にイオンを打込む工程を含む、請求項24、25、26または27記載の方法。

THIS PAGE BLANK (USPTO)